Лабораторная работа №2
Комбинационные функциональные узлы и устройства

Часть 1
ТИПОВЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ УСТРОЙСТВ – ШИФРАТОРЫ, ДЕШИФРАТОРЫ, МУЛЬТИПЛЕКСОРЫ, ДЕМУЛЬТИПЛЕКСОРЫ

Целями лабораторной работы являются знакомство с типовыми комбинационными функциональными узлами и способами их комплексирования.

Типовым функциональным узлом (ФУ) называют схему, которая позволяет обеспечить выполнение некоторой часто используемой функции. Следующие комбинационные логические устройства традиционно считаются типовыми ФУ: дешифратор (decoder), шифратор (coder), мультиплексор(mux), демультиплексор(demux).

Дешифратором(ДШ) называется комбинационная схема, преобразующая входное кодовое слово размерности n в выходное кодовое слово размерности 2^n. На входы управления дешифратора обычно подаются дополнительные сигналы разрешения его работы.

Шифратором называется схема, выполняющая обратную функцию.

Приоритетным шифратором называется функциональный узел, преобразующий входное кодовое слово размерности $\mathbf{2^n}$ в выходное кодовое слово размерности **n** по принципу выделения старшей единицы (нуля) из всех, имеющихся во входном слове.

Например дешифратор 1-2 задается такой таблицей истинности

X	Y0	Y1
0	1	0
1	0	1

Поведение дешифратора 1–2 описывается VHDL операторами Y0<=not X; Y1<=X;

Промышленность выпускает микросхемы дешифраторов типа n x 2^n. Примером может служить представленный ниже (табл.1.1 и рис.1.1) дешифратор ИД14 типа 2–4 (n=2). Дешифратор имеет два информационных входа A0 и A1 и вход разрешения E.

Если на вход E подать запрещающий сигнал "1", то на выходах Y0 – Y3 будет сигнал "1" при любых сигналах на входах A0 и A1. Если на вход E подать разрешающий сигнал "0", то на одном из выходов Y0 – Y3 будет сигнал низкого уровня. Номер выхода соответствует двоичному числу, поданному на входы A0 и A1. На рис.1.1 показана схема дешифратора 2 x 2^2 (2 x 4) типа ИД14.

Таблица 1.1.

Таблица истинности дешифратора типа ИД14.

Входы			Выходы			
E	A1	A0	Y3	Y2	Y1	Y0
1	x	x	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

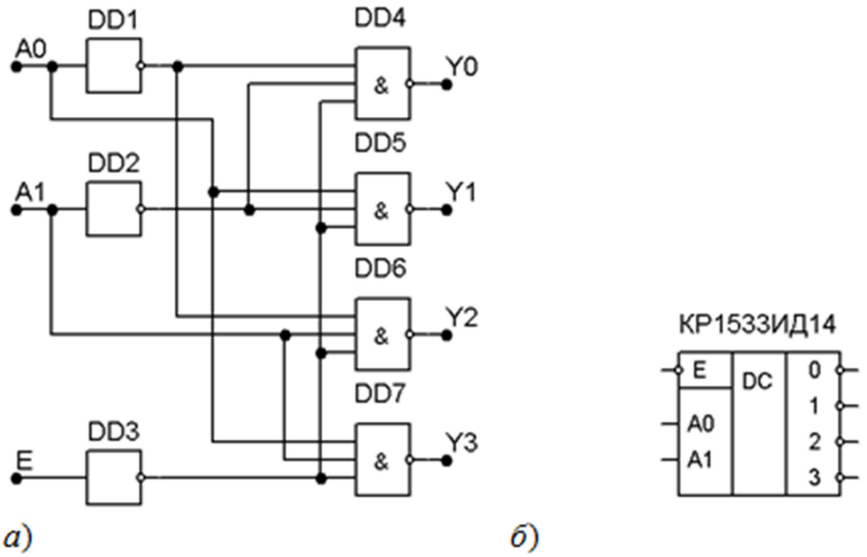


Рис. 1.1. Дешифратор КР1533ИД14:
а - схема дешифратора; б – условное графическое обозначение (УГО)

Каскадирование (наращивание) – это способ увеличение разрядности устройства путем соединения набора однотипных узлов с меньшей разрядностью.

Возможны два варианта каскадирования дешифраторов.

В первом варианте имеется управляющий дешифратор, на который подается 2 старших разряда адреса. Выходы этого дешифратора – стробы на разрешающий вход последующих дешифраторов. А 3 младших разряда подаются на группу стробируемых дешифраторов. В общем случае может быть не два каскада, а больше.

Во втором варианте применяется «прямоугольный» (матричный) дешифратор. В первом каскаде используется два управляющих дешифратора: один из них выбирает строку, а второй – столбец. Деление адресов между управляющими дешифраторами стараются распределить поровну. Подробнее см. [4] стр. 90-94; стр. 98,99.
Мультиплексором называется функциональный узел, передающий на выход сигнал с одного из нескольких входов. Выбор входа, подключаемого к выходу, определяется сигналом, поступающим на входы управления.

Поведенческое описание мультиплексора 2^N –1 на VHDL

```
            library IEEE;
            use  IEEE.std_logic_1164.all;
            use  IEEE.std_logic_numeric.all;
Entity mux_N_1 is
Generic (N: positive :=2);
Port (X: in std_logic_vector (2 **N -1 downto 0);
  sel : in std_logic_vector (N -1 downto 0);Y : out std_logic);
End;
architecture beh of mux_N_1 is
begin
   Y<= X(to_integer (sel));
End;
```

Демультиплексор выполняет функцию, обратную мультиплексору. Эта схема в соответствии с сигналами управления подключает вход к одному из нескольких выводов.

Задание 1. Изучение встроенных в DEEDS блоков дешифраторов на примере дешифратора 2–4. Построить его таблицу истинности и измерить по временной диаграмме задержки при изменении разрешающего сигнала E для четных вариантов и информационных входов A0, A1 для нечетных вариантов. Получить VHDL описание.
Задание 2. Постройте дешифратор каскадированием из более простых (табл.1.2). Проверьте его работоспособность, получите временные диаграммы для всех комбинаций входных сигналов в соответствии с заданием.

Таблица 1.2
Варианты каскадирования дешифраторов для задания 3

№	функция
1	Постройте схему дешифратора 3–6 из деш. 2–4
2	Постройте схему дешифратора 3–7 из 2–4

3	Постройте схему дешифратора 3–8 из 2–4
4	Постройте схему дешифратора 4–9 на 2–4
5	Постройте схему дешифратора 4–10 на 2–4
6	Постройте схему дешифратора 3– 5 на 2–4
7	Постройте схему дешифратора 3–6 на 2–4
8	Постройте схему дешифратора 3–7 на 1–2
9	Постройте схему дешифратора 3–5 на 2–4
0	Постройте схему дешифратора 3–6 на 2–4

Задание 3. Изучите поведение схемы мультиплексора 2 – 1, приведенной на рис. 1.2**.**

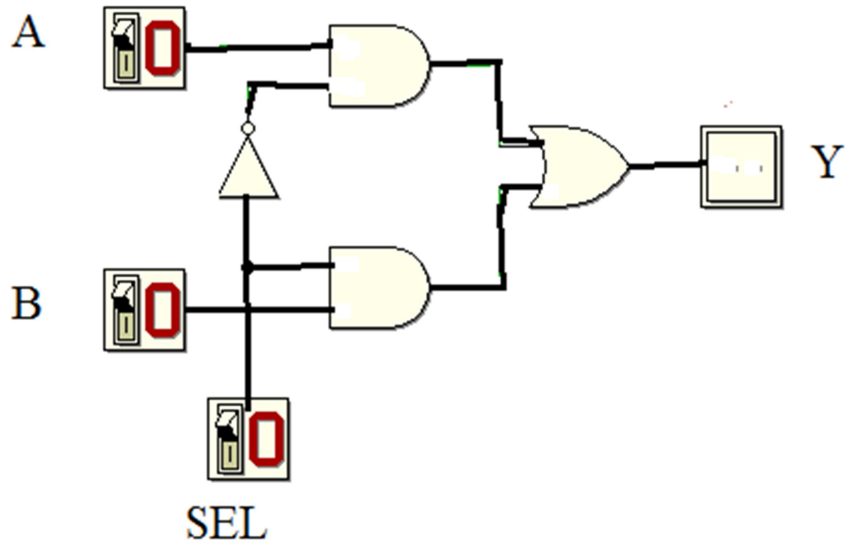


Рис.1.2. Схема мультиплексора 2-1

Получите генерируемый ДИИДС VHDL код, описывающий поведение мультиплексора 2–1 и сравните с приведенным ниже.

```
library IEEE; use IEEE.STD_LOGIC_1164.all;
architecture BEH of MUX_2_1 is
begin
        Y<=In1 when SEL='0' else IN2;
   end;
```

Задание 4. Изучение мультиплексора 4–1

а) Исследовать мультиплексор 4–1 из библиотеки базовых элементов d-DcS. Построить таблицу истинности и измерить временные задержки.

Задание 5. Каскадирование мультиплексоров.

Используя встроенные в ДЕЕДС блоки мультиплексоров постройте каскадированием более сложный и проверьте правильность работы схемы (табл.1.2) **.**

Таблица 1.2. Варианты каскадирования мультиплексоров

№	Задание
1	Постройте схему мультиплексора 3–1 из 2–1
2	Постройте схему мультиплексора 5–1 из 2–1
3	Постройте схему мультиплексора 5–1 из 4 -1
4	Постройте схему мультиплексора 4–1 на 2–1
5	Постройте схему мультиплексора 6–1 из 4 -1
6	Постройте схему мультиплексора 7– 1 из 4 -1
7	Постройте схему мультиплексора 4 -1 из 2–1
8	Постройте схему мультиплексора 7–1 из 4-1
9	Постройте схему мультиплексора 3–1 из 2–1
10	Постройте схему мультиплексора 6 -1 из 2–1

Контрольные вопросы

1. Какие узлы называют комбинационными?

2. Какое соотношение в дешифраторе между количеством входов и выходов?

3. Как каскадировать дешифраторы?

4. Дайте определение понятию функциональный узел. Назовите основные типовые ФУ.

5.Какое количество входов имеет дешифратор с 128 выходами?

6.Что такое каскадирование функциональных узлов?

7.Опишите основные способы каскадирования дешифраторов.

8.Дайте определение мультиплексора. Нарисуйте схему мультиплексора 2-1.

9. У вас имеется мультиплексор 2–1 (информационные входы A,B, управляющий вход C, Выход У), пропускающий при C=0 значение входа A на выход. Как сделать на нем схему инвертора Y= not C ?

10.Сколько управляющих входов будет иметь мультиплексор 4–1?

11. Постройте схему демультиплексора 1–2 в логическом базисе 2И-НЕ.

12. Задержки сигналов в схеме демультиплексора 1–2 одинаковы или различаются ?

13. Сколько управляющих входов будет иметь демультиплексор 1–4?

14. Как на мультиплексоре 4–1 реализовать функцию 2ИЛИ (У=X or Y, где X и Y управляющие входы)?

Часть 2
ИЗУЧЕНИЕ И ПРОЕКТИРОВАНИЕ АРИФМЕТИКО–ЛОГИЧЕСКИХ УСТРОЙСТВ

Целями лабораторной работы являются знакомство с основами арифметики, применяемой в цифровой схемотехнике, арифметическими узлами и арифметико-логическими устройствами.

Основы двоичной арифметики

Система счисления – способ выражения и обозначения чисел.
В цифровой схемотехнике используется позиционная система счисления, поскольку она удобна для выполнения различных арифметических операций. В этой системе в зависимости от позиции цифры в последовательности изменяется ее вес. Поскольку основные логические элементы находятся в двух устойчивых состояниях, то двоичная система счисления является предпочтительной. В ней любое число представимо в виде полинома (формула. 2.1) следующего вида:

$$N_2 = a_n 2^n + a_{m-1} 2^{m-1} + \ldots + a_1 2^1 + a_0 2^0 + a_{-1} 2^{-1} + \ldots + a_{-m} 2^{-m}, \qquad (2.1)$$

где N_2 – исходное число; n, n-1, … , 1, 0, -1, -m – номера разрядов; a_n, a_{n-1}, a_1, a_0, a_{-1}, …, a_{-m} – цифры 0 и 1.
С методами перевода из разных систем счисления рекомендуется ознакомиться в [4,5].
Формы представления чисел и специальные коды двоичных чисел.
В цифровой схемотехнике используется две формы представления чисел: с фиксированной (рис. 2.1) и плавающей точкой.

Знак числа +/-	Целая часть										Точка	Дробная часть		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	1	0	.	0	0	0

Рис. 2.1. Пример представления числа 2 со знаком и фиксированной точкой в пятнадцати разрядном формате, где для дробной части отведены три разряда

Для выполнения арифметических операций над двоичными числами отрицательные и положительные числа кодируют с помощью ***прямого, дополнительного и обратного кодов***, тем самым существенно упрощая конструкцию арифметико-логического устройства (операция вычитания заменяется операцией сложения преобразованного кода).

Положительные числа в прямом, дополнительном и обратном кодах являются одинаковыми двоичными кодами с нулем в знаковом разряде.

Отрицательные же числа в прямом, дополнительном и обратном кодах имеют различный код.

В **прямом коде** знаковый разряд отрицательного числа содержит единицу, а значащие разряды числа – двоичный код его абсолютной величины. Пример числа -5 представленного четырьмя разрядами =1101.

В **обратном коде** знаковый разряд отрицательного числа содержит единицу, а значащие разряды числа – инвертированный двоичный код его абсолютной величины. Пример числа -5 =1010.

Дополнительный код. Пример -5=1011. Дополнительный код отрицательного числа можно получить двумя способами:

Прибавление единицы к обратному коду числа;

Пример -5 =1010+1=1011.

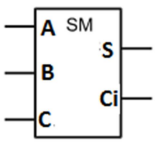
«***Движение от младшего разряда к старшему***». Знаковый разряд должен содержать единицу. Встречая самую младшую единицу в прямом коде отрицательного числа все последующие разряды инвертируются.

Разновидностью вышеописанных кодов являются **модифицированные коды**, для которых под знак отводится уже два разряда: положительное число имеет в этих разрядах ***два нуля***, а отрицательное – ***обе единицы***. Эти коды позволяют определить переполнение разрядной сетки, которое может произойти при сложении двух чисел с одинаковым знаком.

Пример: 3+5 в пятиразрядном представлении = 00011+00101= 01000 , появление кода 01 в знаковом разряде модифицированного кода свидетельствует о переполнении.

Задания к лабораторной работе № 2,часть 2

Задание 1. Постройте схему двоичного одноразрядного сумматора в элементном базисе И,ИЛИ,НЕ, XOR, проверьте ее моделированием, определите задержку, получите vhdl код. На рис. 2.2 представлены его УГО и таблица истинности логической функции, где A, B, C – входы, S – выход суммы, Ci–перенос в следующий разряд.



A	B	C	S	Ci
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Рис.2.2. УГО двоичного одноразрядного сумматора и таблица истинности.

Сравните его функцию и задержку с соответствующим блоком ДИИДС.

Задание 2. Построить схему двухразрядного сумматора с последовательным переносом из двоичных одноразрядных сумматоров-блоков ДИИДС типа FULL ADDER, проверить функцию и измерить задержку.

Задание 3. Изучение преобразования кодов.
а) ***Исследовать работу блока COMPLEMENTOR- преобразователя*** кодов ДИИДС (получение дополнительного и обратного кодов из табл. 2.2).

Задание 4. Требуется построить и проверить схему простого АЛУ варианты см. в табл. 2.1 и 2.2. Входные данные– коды А и В – 4х разрядные числа со знаком из табл. 2.1, Код операции СОР– 4 разряда, коды для АЛУ выбираются из табл. 2.2.
Коды операций(СОР): 0000– сложение,0001 –вычитание , 1001 И, 0010– ИЛИ, 0011– НЕ, 0100– И–НЕ, 0101– ИЛИ–НЕ, 0111– XOR, 1000– XNOR.
Отрицательные числа подавать с преобразователя в ***дополнительном*** коде. Получить временную диаграмму и VHDL описание.

Таблица 2.1.Варианты наборов чисел для заданий 3 и 4

№	Набор чисел	№	Набор чисел
1	1; -4; -7; 10	6	7; 2; -11; -1
2	10; 13; -2; -12	7	-9; 14; 5; -6
3	-5; 8; 11; -3	8	-4; -13; 15; 7
4	-14; -3; 6; 5	9	10; -8; -3; 9
5	9; -12; -15; 8	0	1; 6; -12; -14

Ниже пример варианта устройства , выполняющего два вида операций. При СОР=0000 операция У=А+В, при СОР=0001 операция У=А & В. В схеме (пример на рис. 2.3) используются встроенные блоки сумматора, компаратора и мультиплексора ДИИДС, а также пользовательский блок четырехразрядного элемента 2И. Обработка кода операции в примере схемы упрощена – просто анализируется младший разряд кода, который управляет мультиплексором на выходе.

Таблица 2.2. Варианты АЛУ

№	задание
1	Операции + , ИЛИ,НЕ
2	Операции + и –
3	Операции - и ИЛИ–НЕ

4	Операции + ИЛИ, XOR
5	Операции + , И, ИЛИ
6	Операции - и NOT и ИЛИ
7	Операции + и ИЛИ и И
8	Операции + и XOR и И
9	Операции + и И и NOT
0	Операции - и XOR и И

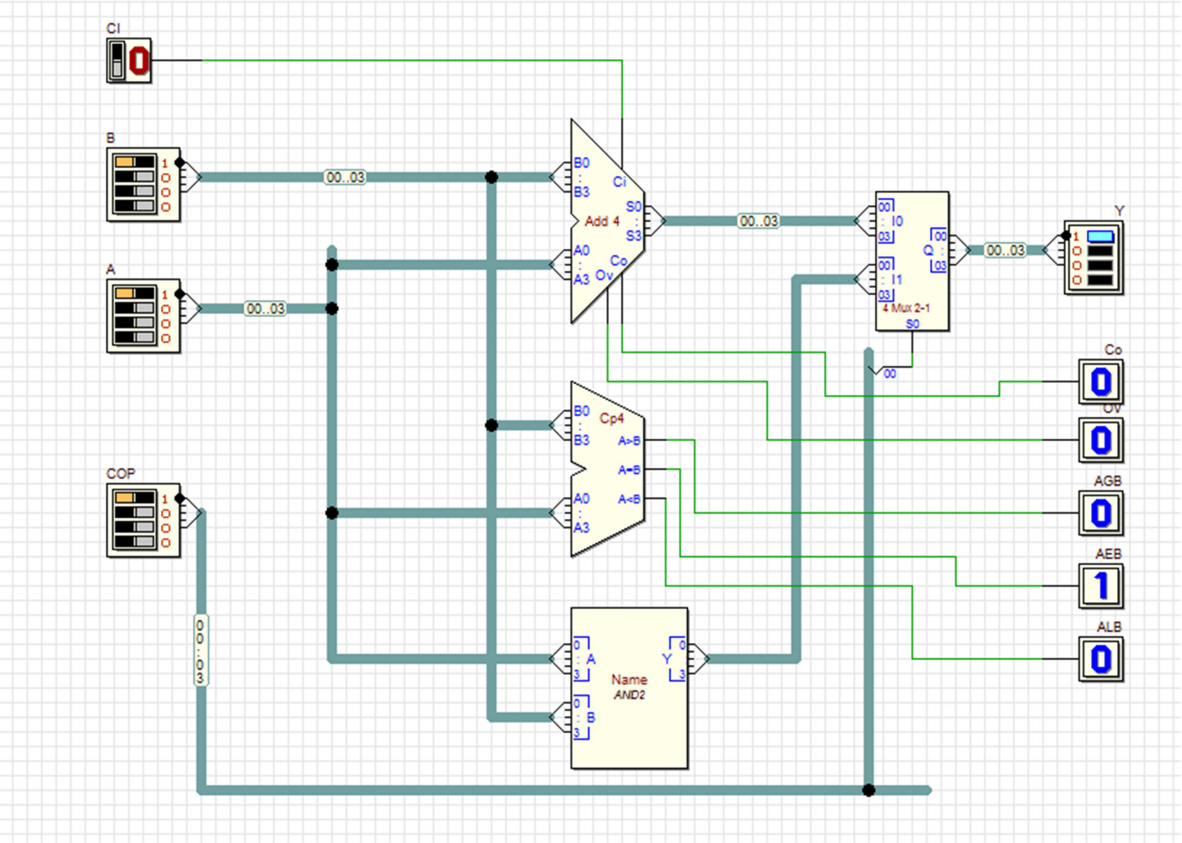


Рис. 2. 3. Пример простого АЛУ

Контрольные вопросы

1.1.Переведите десятичное число 10 в двоичный код.

1.2.Что такое сумматор и полусумматор? В чем их отличие?

1.3.Постройте таблицу истинности для сумматора с двумя операндами.

1.4.Что такое позиционная система счисления? Какая система счисления применяется в ЭВМ?

1.5.Каким образом в ЭВМ представляются отрицательные числа? Что такое дополнительный модифицированный код и зачем он может применяться?

1.6.Выполните сложение четырехразрядных чисел со знаком в дополнительном и/или в дополнительном коде, например: -5 + 2.

1.7.Представьте десятичное число 192 в двоичном коде.
1.8.Нарисуйте схему сравнения двух одноразрядных двоичных чисел без знака.
1.9.Нарисуйте схему получения дополнительного кода двухразрядного числа со знаком.
1.10.Как на базе четырехразрядных сумматоров построить 8- ми разрядный?
1.11.Как представлен 0 в дополнительном коде?
1.12.Как реализовать функцию У= Х1 xor Х2 в базисе операций И,ИЛИ,НЕ?
1.13.Нарисуйте схему получения дополнительного кода двухразрядного числа со знаком.
1.14.Каково представление двоичного числа 22 в двоичной системе?
1.15.Зачем применяется дополнительный модифицированный код?

СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ

Основная

1.https://www.digitalelectronicsdeeds.com Официальный сайт разработчиков система моделирования Deeds

2.https://www.digitalelectronicsdeeds.com/demos/demopage_comb.html На сайте представлены примеры проектов с пояснениями.

3. https://www.digitalelectronicsdeeds.com/learningmaterials/labtopics.html Представлены англоязычные описания нескольких десятков лабораторных работ по разделам схемотехники, теории автоматов и микропроцессорных систем.

4.Новиков Ю.В. Введение в цифровую схемотехнику. Учебное пособие. –М: Бином. 2007.

5.Харрис Д.М., Харрис С.Л . Цифровая схемотехника и архитектура компьютера. Электронная версия книги может быть загружена с сайта http://easyelectronics.ru/files/Book/digital-design-and-computer-architecture-russian-translation.pdf

6. Угрюмов Е.П. Цифровая схемотехника. Учебное пособие. Издание 3. СПБ.:BXB Петербург, 2010.

Дополнительная

7.Потемкин И.С. Функциональные узлы цифровой автоматики. –М.: Энергоатомиздат,1988.

8. Петровский И.И. и др. - Логические ИС Кр1533, Кр1554. Справочник. –М.:БИНОМ, 1993.

9. Поляков А.К. ЯЗЫКИ VHDL и VERILOG В ПРОЕКТИРОВАНИИ ЦИФРОВОЙ АППАРАТУРЫ НА ПЛИС.–М.: Изд.Дом МЭИ,2012.