

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Тульский государственный университет»

Институт высокоточных систем им. В.П. Грязева
Кафедра электротехники и электрооборудования

Утверждено на заседании кафедры
«Электротехника и электрооборудование»

« 15 » января 2019 г., протокол № 4-1

Заведующий кафедрой

_____ А.Э. Соловьев

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ
по выполнению контрольно-курсовой работы
по дисциплине (модулю)
«Микропроцессорные системы управления
электротехническими объектами»**

**основной профессиональной образовательной программы
высшего образования – программы бакалавриата**

по направлению подготовки
13.03.02 «Электроэнергетика и электротехника»

с направленностью (профилем)
**Электрооборудование и электрохозяйство предприятий,
организаций и учреждений**

Форма(ы) обучения: заочная

Идентификационный номер образовательной программы: 130302-01-18

Тула 2019 год

Разработчик(и) методических указаний

Чумаков Александр Виссарионович, доцент, к.т.н., доцент

(ФИО, должность, ученая степень, ученое звание)

(подпись)

СОДЕРЖАНИЕ.

1. ЦЕЛЬ И ЗАДАЧИ ВЫПОЛНЕНИЯ КОНТРОЛЬНО-КУРСОВОЙ РАБОТЫ.....	4
2. ОСНОВНЫЕ ТРЕБОВАНИЯ К КОНТРОЛЬНО-КУРСОВОЙ РАБОТЕ.	4
2.1. ТЕМАТИКА КОНТРОЛЬНО-КУРСОВОЙ РАБОТЫ.	4
2.2. ИСХОДНЫЕ ДАННЫЕ К КОНТРОЛЬНО-КУРСОВОЙ РАБОТЕ.....	4
2.3. ЗАДАНИЕ НА КОНТРОЛЬНО-КУРСОВУЮ РАБОТУ.	5
2.4. ОБЪЕМ КОНТРОЛЬНО-КУРСОВОЙ РАБОТЫ.	5
2.5. РАБОТА НАД КОНТРОЛЬНО-КУРСОВОЙ РАБОТОЙ.	5
3. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К РАБОТЕ НАД КОНТРОЛЬНО-КУРСОВОЙ РАБОТОЙ.....	6
3.1. ПРИНЦИП РАБОТЫ ЭП ПТ И ОБЩИЕ ТРЕБОВАНИЯ.	6
3.2. ПРОЕКТИРОВАНИЕ БЛОКА ЦП.	7
3.3. ПРОЕКТИРОВАНИЕ БЛОКА ЗУ.	9
3.4. ПРОЕКТИРОВАНИЕ ИНТЕРФЕЙСНОГО МОДУЛЯ.	13
3.5. РАЗРАБОТКА ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ.	16
БИБЛИОГРАФИЧЕСКИЙ СПИСОК.....	22

1. ЦЕЛЬ И ЗАДАЧИ ВЫПОЛНЕНИЯ КОНТРОЛЬНО-КУРСОВОЙ РАБОТЫ.

Контрольно-курсовая работа выполняется с целью закрепления знаний по курсу: «Микропроцессорные системы управления электротехническими объектами» и развития навыков самостоятельной работы студентов при разработке технического задания, проектировании и эксплуатации отдельных узлов микропроцессорных систем ЧПУ и обработки данных. Задачами выполнения контрольно-курсовой работы являются:

- получение навыков разработки схемотехнических вопросов микропроцессорной техники;
- проработка ряда вопросов, связанных с прикладным программным обеспечением микропроцессорных систем;
- приобретение практических навыков составления и расчета принципиальных электрических схем цифровой и аналоговой техники.

2. ОСНОВНЫЕ ТРЕБОВАНИЯ К КОНТРОЛЬНО-КУРСОВОЙ РАБОТЕ.

2.1. Тематика контрольно-курсовой работы.

В контрольно-курсовой работе проектируется микропроцессорный (МП) контроллер электропривода постоянного тока (ЭП ПГ). Разрабатываются принципиальные электрические схемы, программное обеспечение и источник питания. Предусмотрены режимы синхронного, асинхронного обмена и режим прерывания. Кроме вопросов цифровой техники в курсовом проекте рассматривается применение аналоговой и преобразовательной техники, вопросы помехозащищенности при стыковке МП контроллера с внешними устройствами.

Это позволяет осветить в контрольно-курсовой работе все аспекты синтеза микропроцессорных систем сбора и обработки информации.

2.2. Исходные данные к контрольно-курсовой работе.

В качестве базового микропроцессора выбран микропроцессор КР580ВМ80, широко используемый в современной отечественной микропроцессорной технике. Структура проектируемых средств относится к классической структуре вычислительных управляющих систем с шинной организацией.

Задаaniem, на контрольно-курсовую работу, устанавливается типы используемых микросхем в процессорном блоке и блоке запоминающих устройств; объем памяти запоминающих устройств; типы микросхем и адресное пространство интерфейсного модуля. Исходными данными для программного обеспечения являются алгоритм работы электропривода, величина управляющего напряжения и время разгона электродвигателя

2.3. Задание на контрольно-курсовую работу.

Задание на проектирование МП контроллера (КР580ВМ80) оформляется отдельно каждым студентом с указанием параметров и исходных данных указанного контроллера. Студент может выбрать задание (микропроцессор), которое по сложности эквивалентно типовому заданию. В случае выбора исходного материала (микропроцессора), кардинально уступающего по своим характеристикам базовому, руководитель может отправить работу на исправление.

2.4. Объем контрольно-курсовой работы.

Результаты выполнения контрольно-курсовой работы представляются в виде пояснительной записки объемом 20... 25 листов формата А4 и графического материала.

2.5. Работа над контрольно-курсовой работой.

Работа над контрольно-курсовой работой включает следующие этапы:

Этап 1. Разработка блока центрального процессора (ЦП)

Перед проектированием необходимо изучить по рекомендуемой литературе структуру, организацию и сигналы базового микропроцессора, режимы работы, тактирование, принципы буферизации шин и фиксации слова состояния.

Затем изучают режимы работы, назначение выводов используемых в блоке микросхем и составляют принципиальную схему.

Этап 2. Разработка блока запоминающих устройств (ЗУ)

Перед проектированием изучают принципы построения ЗУ, наращивания разрядности и объема, страничной организации памяти и дешифрации адресного пространства ЗУ. Затем приступают к разработке адресного дешифратора. Изучив режимы работы и назначение выводов используемых микросхем ЗУ, приступают к разработке принципиальной электрической схемы блока ЗУ.

Этап 3. Разработка интерфейсного модуля.

Перед проектированием изучают принципы ввода/вывода цифровой информации, режим обслуживания прерывания по вектору. Изучив применяемые микросхемы, разрабатывают узлы интерфейсного модуля и составляют принципиальную электрическую схему.

Этап 4. Разработка программного обеспечения.

На этом этапе изучают систему команд базового микропроцессора. На основании алгоритма работы электропривода составляются подпрограммы пуска электродвигателя, обслуживания прерывания, структура памяти Ш1 контроллера.

3. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К РАБОТЕ НАД КОНТРОЛЬНО-КУРСОВОЙ РАБОТОЙ.

3.1. Принцип работы ЭП ПТ и общие требования.

В комплект ЭП ПТ входит тахогенератор ТГ, который закреплен на валу ЭД. Выходное напряжение ТГ, которое пропорционально частоте вращения вала ЭД, используется для ее контроля.

Для управления ЭП ПТ применяются МП контроллеры, которые должны в зависимости от требуемой частоты вращения задавать управляющее напряжение $U_{упр}$ и контролировать фактическую ее величину по уровню постоянного напряжения, снимаемого с тахогенератора $U_{тг}$ (рис. 1).

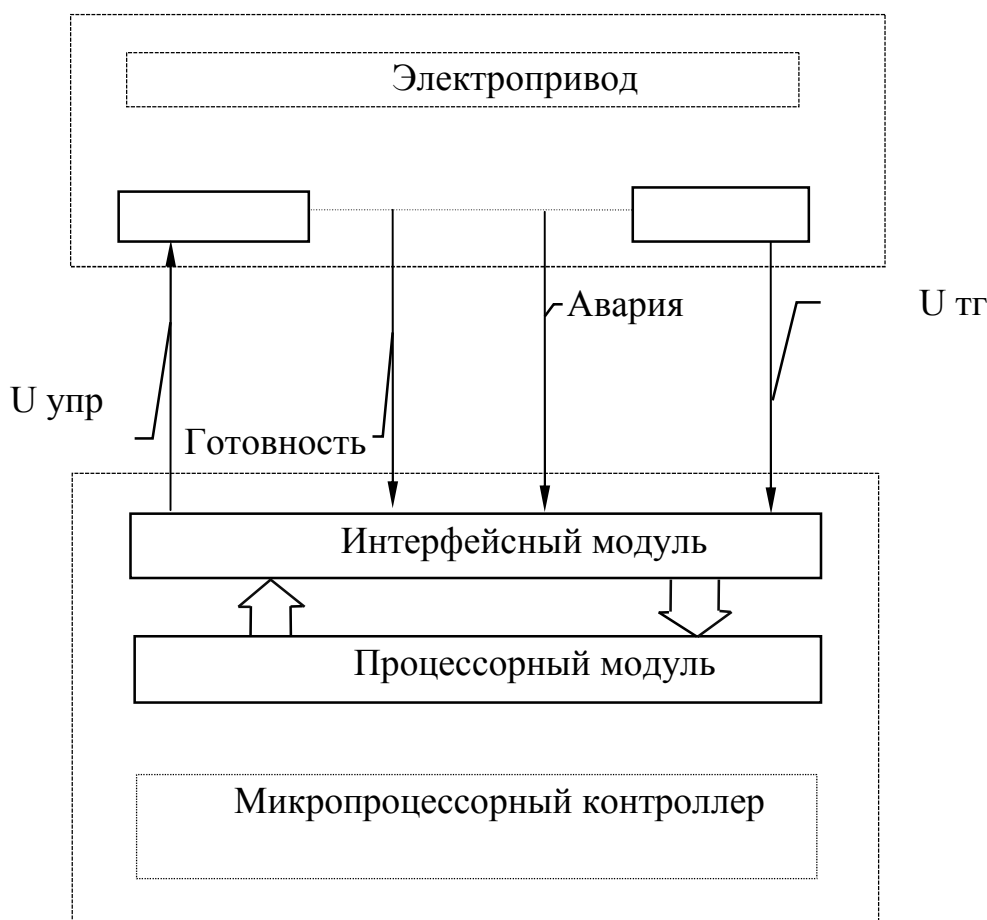


Рис. 1. Структура электропривода постоянного тока с микропроцессорным управлением.

В состав МП контроллера входят два модуля: процессорный и интерфейсный. Процессорный модуль осуществляет отработку управляющих программ для реализации алгоритма управления ЭП ПГ. Интерфейсный модуль обеспечивает связь процессорного модуля с электроприводом: преобразование цифровых сигналов в аналоговых и наоборот, промежуточное хранение данных

и фиксацию управляющих сигналов.

Проектируемый МП контроллер должен обеспечить следующий алгоритм работы ЭП ПТ.

Перед пуском ЭД т.е. перед подачей $U_{упр}$, МП контроллер проверяет наличие сигнала "Готовность", поступающего с электропривода (наличие питающего напряжения, снятие различных блокировок и т.д.). При отсутствии данного сигнала МП контроллер не производит пуск ЭД и должен выдать сигнал "Сбой" на световой индикатор. Если сигнал "Готовность" присутствует, то процессорный модуль МП контроллера выдает в интерфейсный модуль цифровой эквивалент $U_{упр}$, который цифро-аналоговым преобразователем преобразуется в аналоговую величину.

После подачи $U_{упр}$ на электродвигатель ИП контроллер осуществляет программным способом определенную по времени задержку, необходимую для разгона ЭД до заданной частоты вращения, а затем вводит цифровой эквивалент напряжения ТГ. Преобразование аналоговой величины $U_{тг}$ в цифровую осуществляется в интерфейсном модуле аналого-цифровым преобразователем.

После ввода $U_{тг}$ МП контроллер приступает к сравниванию ее величины с уровнем $U_{упр}$. Если уровень $U_{тг}$ соответствует $U_{упр}$, то пуск произошёл в нормальном режиме.

Если соответствия нет, то имеет место нештатная ситуация, например, перегрузка ЭД. В этом случае МП контроллер выдает нулевой уровень $U_{упр}$ (останов ЭД) и сигнал "Сбой", который индицируется светодиодом в интерфейсном модуле.

При пуске ЭД могут возникнуть различные аварийные ситуации.

При наличии сигнала "Авария" МП контроллер должен прервать подпрограмму пуска, остановить ЭД и выдать сигнал "Сбой".

3.2. Проектирование блока ЦП.

Структурная схема блока ЦП представлена на рис.2. В его состав кроме ЦП и системного генератора СГ (на рис. не показан) входят:

- однонаправленный буфер шины адреса (БША);
- двунаправленный буфер шины данных (БШД);
- регистр RG словосостояния ЦП;
- логическая схема формирования шины управления (ШУ);

Включение БША должно быть таким, чтобы все 16 разрядов ША передавались с его входа на выход.

Так как ШД двунаправленная, то направлением передачи информации через ВИД необходимо управлять. Это осуществляет сигнал "Прием" (ПМ). При уровне лог.1 сигналы с ШД через БШД должны передаваться в ЦП, а при лог.0 - из ЦП в ШД.

В начале каждого машинного цикла микропроцессора на ШД выдается восьмиразрядное словосостояние ЦП, отдельные разряды которого

используются для формирования сигналов ШУ.

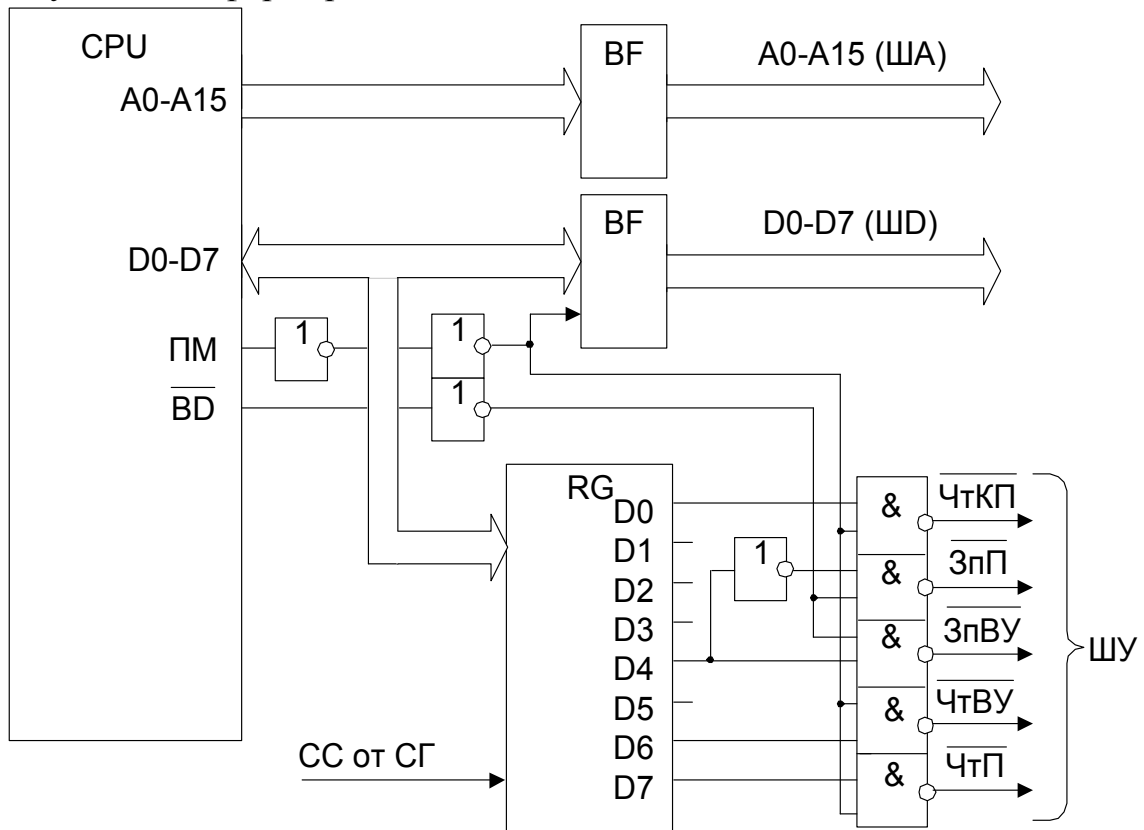


Рис. 2 Структурная схема ЦП сраздельными формирователями шин

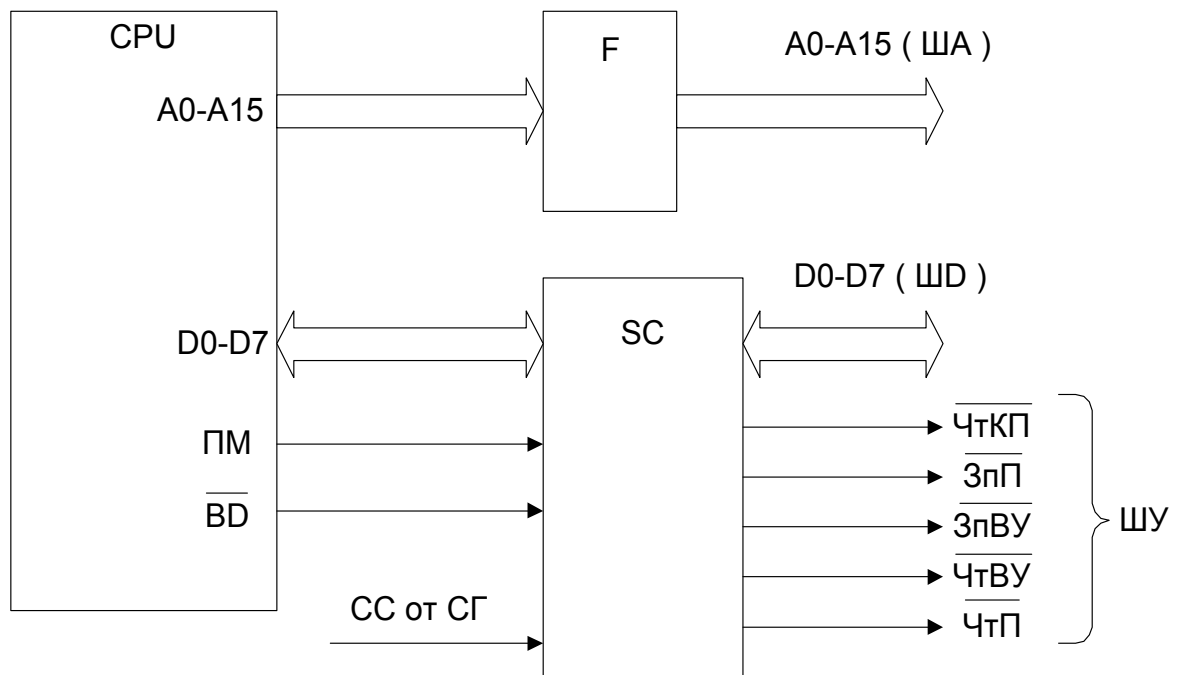


Рис. 3 Структурная схема блока ЦП с применением системного контролера

Словосостояние ЦП определяет действия выполняемые микропроцессором в данном машинном цикле чтение/запись ЗУ, чтение/ запись внешних устройств (ВУ) и т.д. Словосостояние фиксируется в регистре RG по сигналу "Строб состояния" (СС) от системного генератора и хранится в нем до окончания машинного цикла.

Логическая схема служит для формирования следующих управляющих сигналов ШУ :

- ЧтКП - чтение контроллера прерывания;
- ЗпП - запись в память;
- ЗпВУ - запись во внешнее устройство;
- ЧтВУ - чтение с внешнего устройства;
- ЧтП - чтение из памяти.

Сигналы ПМ и ВД, ("Выдача") в логической схеме используются для стробирования управляющих сигналов.

Схема подключения СГ к ЦП стандартная и приведена в приложении. Кварцевый резонатор ВQ 1 обеспечивает возбуждение генератора. Интегрирующая цепочка RC служит для первоначального сброса СГ и ЦП при включении питания, а кнопка SB1 - для принудительного сброса. На входе "Готовность" IT присутствует уровень лог.1, т.к. предполагается, что быстродействие ЗУ и ВУ соизмеримо с быстродействием ЦП.

Другой вариант построения блока ЦП представлен на рис. 3. Здесь вместо БШД и логической схемы используется микросхема системного контроллера СК, объединяющая их в одном корпусе. Стробирование СК при записи словосостояния осуществляется сигналом СС, поступающим с СГ.

Цоколевка и режимы работы применяемых в блоке ЦП микросхем даны в приложении .

3.3. Проектирование блока ЗУ.

Разработку блока ЗУ рассмотрим на примере. Пусть требуется спроектировать блок ЗУ со следующими параметрами:

- объем ОЗУ - 2К
- организация микросхем ОЗУ - 1024 x 4
- объем ПЗУ -1К
- организация микросхем ПЗУ - 256x 8

Это означает, что ОЗУ должно иметь объем 2К байта при использовании микросхем, позволяющих хранить 1024 четырехразрядных слов. Соответственно и для ПЗУ.

Блок ЗУ организуется по страничному принципу. Каждая страница образована заданными микросхемами в количестве, позволяющем хранить 8-ми разрядные слова. Для хранения в ОЗУ 1 Кбайта необходимы две микросхемы с

организацией 1024х4. Причем одна из них будет хранить младшие разряды байта Д0 - Д3, а другая - старшие Д4 - Д7.

Для организации ОЗУ в 2К байта необходимы две страницы, т.е. четыре микросхемы с заданной организацией.

Соответственно ПЗУ будет состоять из четырех страниц, каждая из которых будет организована на одной микросхеме.

Структура блока ЗУ представлена на рис. 4 (микросхемы D1, D2 - 0-я страница ОЗУ; D3, D4 - 1-я страница ОЗУ; D5 - 0-я страница ПЗУ; D6 - 1-я страница ПЗУ; 2-я и 3-я страницы ПЗУ не представлены). Разряды ША А0 - А9 поступают одновременно на все микросхемы ОЗУ, т.к. для адресации (выбора) 1024 четырехразрядных ячеек памяти необходимы десять двоичных разрядов (1024). Аналогично для адресации ячеек памяти ПЗУ используются восемь разрядов А0 - А7.

Выбор той или иной страницы памяти производит адресный дешифратор. Для его разработки необходимо составить таблицу адресов ЗУ (табл.1): Начальный адрес 0 -й страницы ОЗУ - 00 00₁₆, а конечный - 03 FF₁₆, т.к. последний адрес представляется логическими 1 во всех десяти разрядах А0 - А9. Начальный адрес следующей страницы ОЗУ формируется как двоичная сумма конечного адреса предыдущей страницы и логической 1 в младшем разряде, т.е. имеем перенос 1 в разряд А10. Для определения конечного адреса этой страницы к начальному адресу прибавляем 2^{10} , т.е. код с логическими 1 в разрядах А0 - А9. Аналогично строится таблица для страниц ПЗУ.

Анализ таблицы позволяет заключить, что отличие адресов 0-й и 1-й страниц ОЗУ состоит в разряде А10. Если А10 = 0, то обращение производится к 0-й странице, а если А10 = 1, то к 1-й странице ОЗУ.

Если в разряде А11 появляются логические 1, то производится адресация ПЗУ, а если 0 - то ОЗУ. Причем номер страницы ПЗУ определяется состоянием разряда А8. Если А8 = 0, то производится обращение к 0 странице ПЗУ (при условии А11 = 1), если А8 = 1, то производится выбор 1-й страницы ПЗУ.

На основании проведенных рассуждений строится адресный дешифратор (рис.5).

Используемые дешифраторы имеют вход " Разрешение дешифрации" Р. Если на этом входе присутствует уровень логического 0, то дешифрация разрешена. На вход разрешения первого дешифратора подаются сигналы ЧтП и ЗпП, объединенные по "И". В этом случае дешифрация номеров страниц ЗУ будет производиться только в том случае, когда имеет место обращение к ЗУ.

Сформированные сигналы " Выбор страниц" поступают на входы "Выбор микросхем" (ВМ) каждой страницы ЗУ (рис.4). При наличии уровня логического 0 на этом входе микросхема ЗУ выводится из высокоимпедансного состояния и, если это схема ПЗУ, то её выход подключается к ШД, на которую поступают данные выбранные по адресу в соответствии с состоянием разрядов А0 - А7.

На микросхемы ОЗУ, кроме сигнала ВМ, необходимо подать сигнал

Таблица 1. Адресное пространство ЗУ.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Адрес	стр.	У
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Нач. адр. 00 00	0	ЗУ
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	Кон. адр. 03		
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	Нач. адр. 04 00	1	
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	Кон. адр. 07		
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	Нач. адр. 08 00	0	ЗУ
0	0	0	0	1	0	0	0	1	1	1	1	1	1	1	1	Кон. адр. 08		
0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	Нач. адр. 09 00	1	
0	0	0	0	1	0	0	1	1	1	1	1	1	1	1	1	Кон. адр. 09		
0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	Нач. адр. 0A 00	2	
0	0	0	0	1	0	1	0	1	1	1	1	1	1	1	1	Кон. адр. 0A		
0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	0	Нач. адр. 0B 00	3	
0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	Кон. адр. 0B		

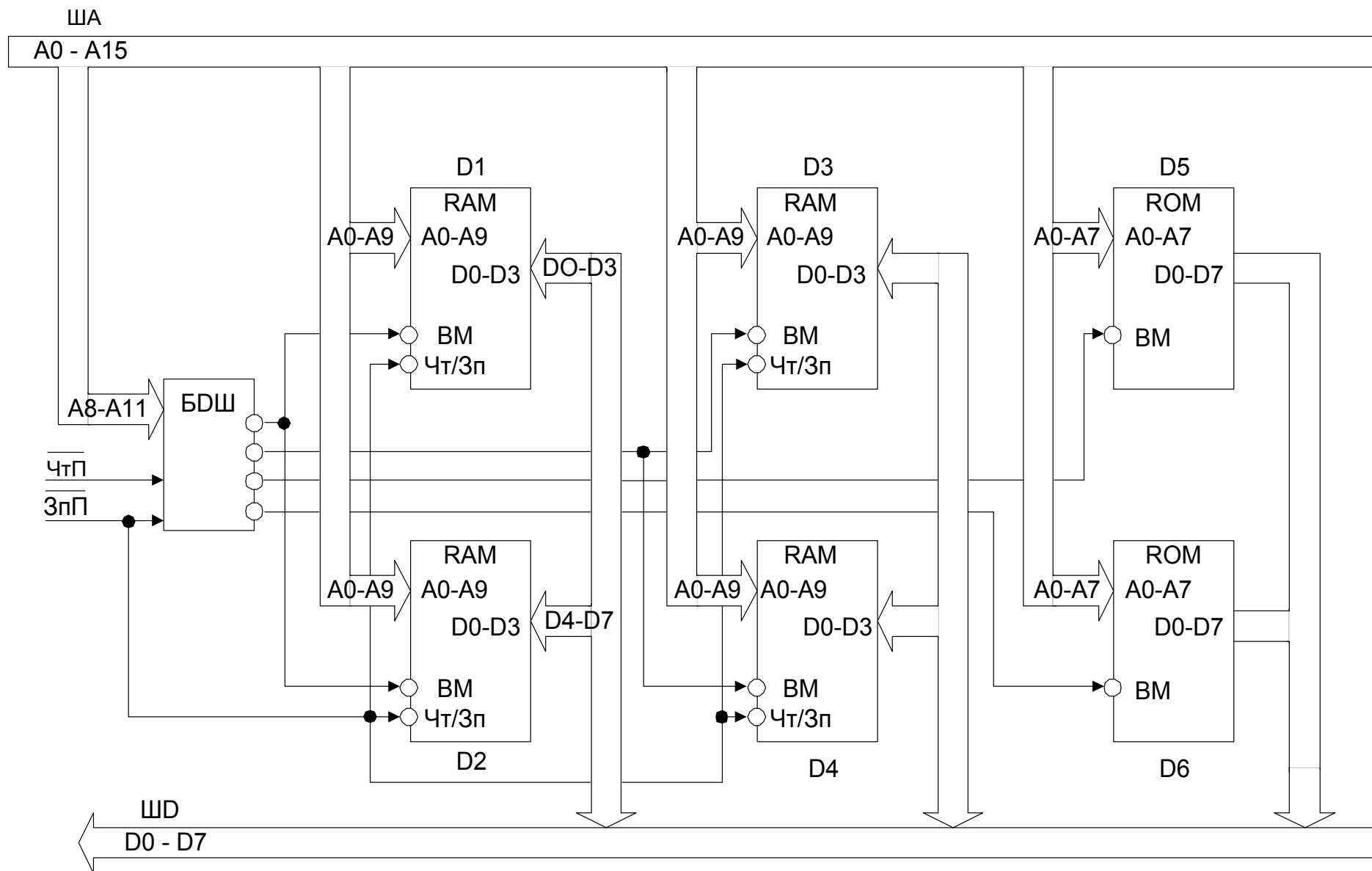


Рис. 4 Структура блока 3У

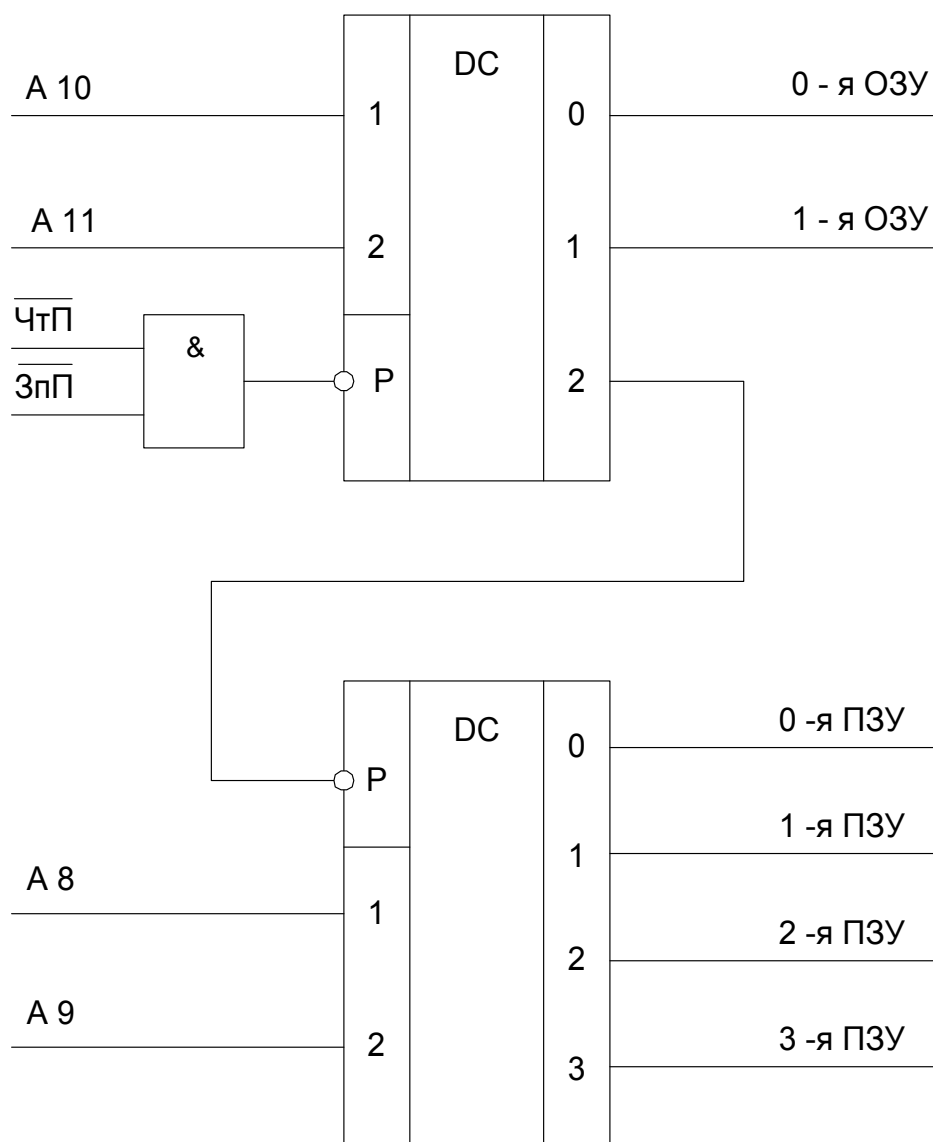


Рис. 5 Схема адресного дешифратора

Чт/Зп. Если на этом входе присутствует логическая 1, то осуществляется запись байта информации с ШД в ячейку с адресом, установленным в разрядах A0-A9. Если $\text{Чт/Зп} = 0$, то осуществляется считывание данных из микросхемы в ШД. Такой режим работы микросхем обеспечивается подачей сигнала ЗпП на вход Чт/Зп.

3.4. Проектирование интерфейсного модуля.

В состав интерфейсного модуля (рис. 6) входят следующие блоки:

- адресный дешифратор (ДШ);
- регистр цифро-аналогового преобразователя (RG ЦАП);
- регистр аналого-цифрового преобразователя (RG АЦП);
- регистр вектора прерывания (RG ВП);

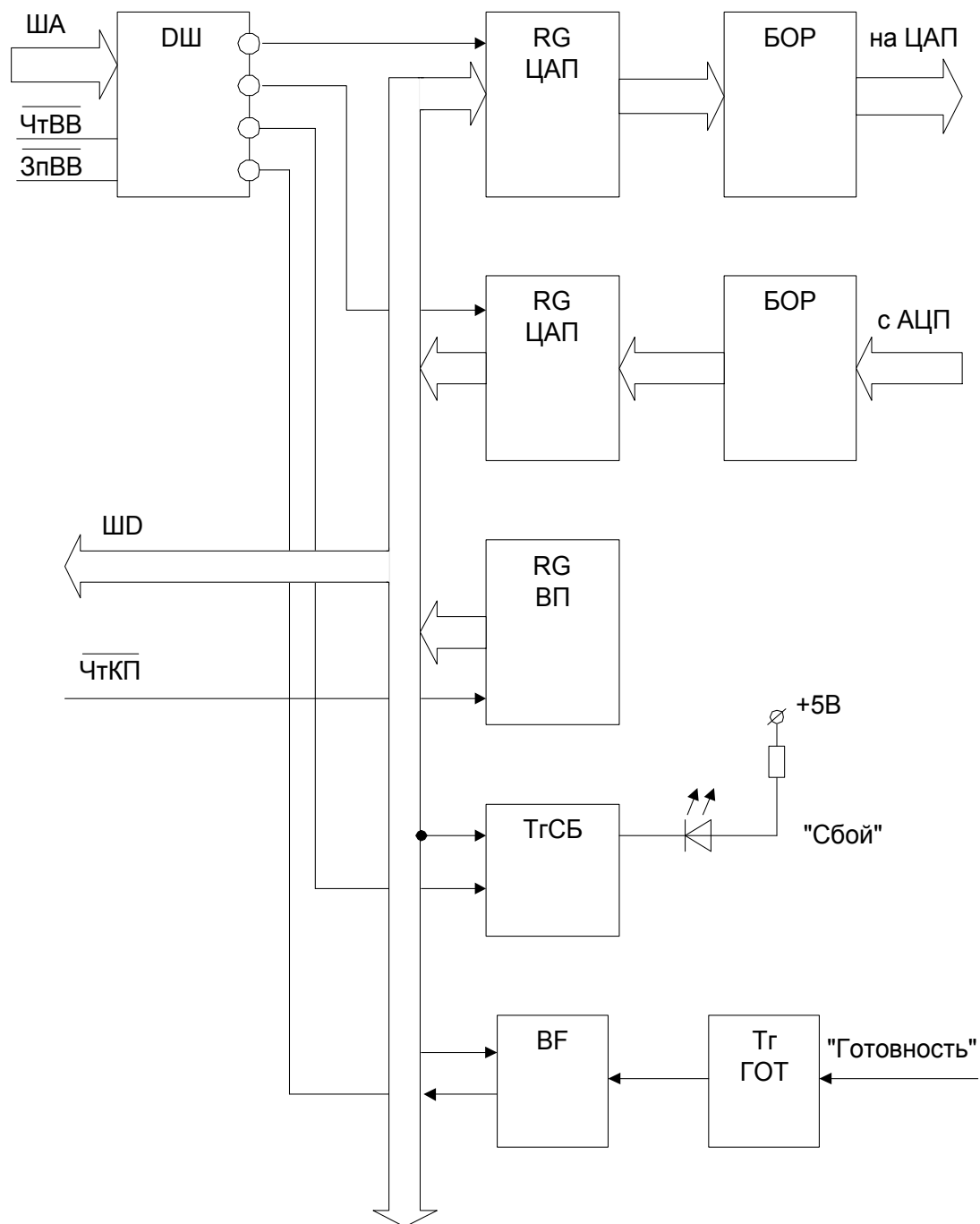


Рис. 6 Структура интерфейсного модуля

- триггер "Сбой" (Тг СБ);
- триггер "Готовность" (Тг ГОТ);
- буфер-формирователь (BF);
- блоки оптронной развязки (БОР);

Адресный дешифратор производит выбор порта (регистра или триггера) с которым производится обмен информацией, путем дешифрации его адреса

поступившего с ША. По сигналу поступающему с ДШ производится либо синхронизация вводимой информации в порт , либо вывод выходов порта из высокоимпедансного состояния при чтении содержимого портов.

Регистр ЦАП служит для хранения цифрового эквивалента управляющего напряжения для его последующего преобразования в аналоговую величину в цифро-аналоговом преобразователе.

Регистр АЦП служит для приема и хранения цифрового эквивалента напряжения тахогенератора Утг, после его преобразования в АЦП.

Регистр вектора прерывания хранит код команды RST. По сигналу ЧтКП выходы регистра должны выводиться из высокоимпедансного состояния, что обеспечивает выдачу хранимого кода на ШД.

Информационный вход триггера СБ подключается к одному из разрядов ШД. Синхронизация записи в триггер осуществляется сигналом с ДШ. При подключении светодиода к выходу триггера следует учитывать, что излучение светодиода происходит только при наличии разности потенциалов (1 и 0) на его выводах при прямом включении диода.

Запись информации в триггер ГОТ осуществляется внешними сигналами (информационным и синхронизирующим), поступающими с электропривода. Для того, чтобы не блокировать один из разрядов ШД состоянием триггера (0 или 1) выход триггера подключается к одному из разрядов ШД через буфер-формирователь (BF) имеющий третье состояние. Вывод буфера из этого состояния (подключение триггера с ШД) осуществляется сигналом с ДШ.

Разработка адресного дешифратора.

Допустим, что начальный адрес постов интерфейсного модуля - 87_{16} .

Тогда адреса остальных портов определяются соответственно - 88_{16} , 89_{16} и $8A_{16}$.

Представим адреса портов в двоичном коде :

$A7..... A0$ - разряды ША ;

1000 0111 - адрес RG ЦАП (порт 1) ;

1000 1000 - адрес RG АЦП (порт 2) ;

1000 1001 - адрес Тг СБ (порт 3) ;

1000 1010 - адрес Тг ГОТ (порт 4) .

Адреса портов отличаются только в младших четырех разрядах ША, а старшая тетрада адреса неизменна (разряды $A4-A7$). Поэтому структура ДШ будет иметь вид, представленный на рис. 7. Дешифрация разрядов $A0 - A3$, т.е. обращение к портам , будет иметь место только в том случае , если состояние старшей тетрады 1000 и хотя бы один из сигналов ЧтВВ или ЗпВВ примет нулевой уровень (обращение к портам ввода/вывода).

Разработка регистра вектора прерывания.

Структура команды RST , код которой хранит RG ВП , имеет следующий вид:

$D7..... D0$ - разряды ШД ;

1 1 x x x 1 1 1 - код команды .

где xxx - двоичный код вектора прерывания.

При нулевом векторе прерывания его код 000 , код команды RST -

11000111. При первом векторе - 11001111, при втором - 11010111 и т.д. Учитывая, что логической 1 соответствует уровень напряжения $> 2,4$ В, а логическому 0 - уровень < 0.4 В входы регистра (в соответствии с полученным кодом RST) подключают к питанию +5В или к нулевому проводу. На рис. 8 дан пример организации RG ВП для нулевого вектора прерывания.

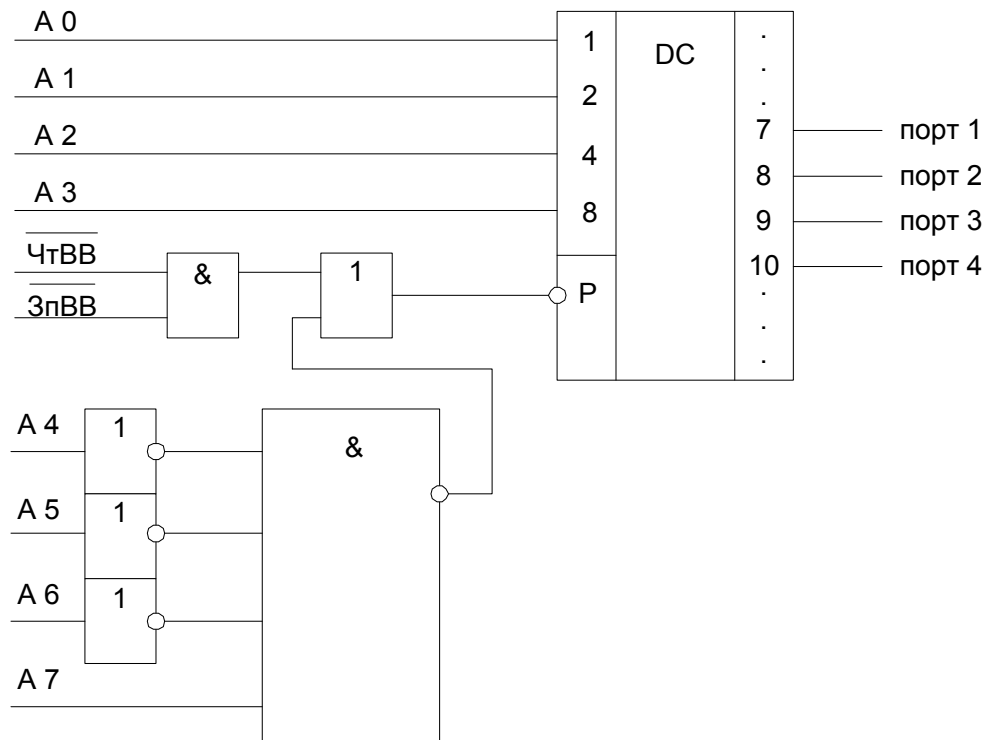


Рис. 7 Адресный дешифратор портов

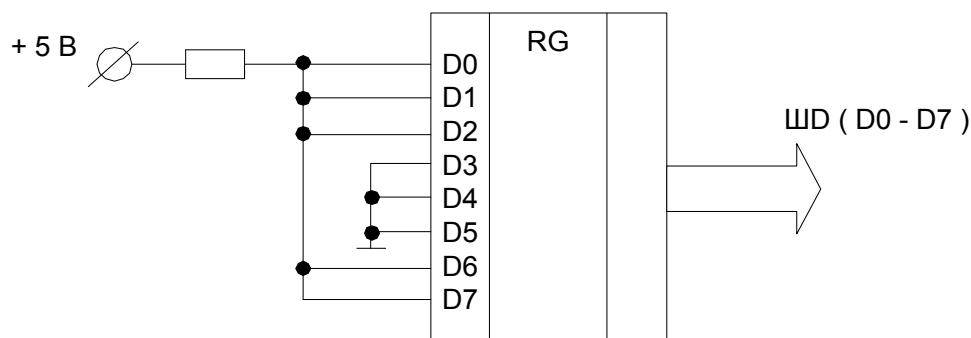


Рис. 8 Регистр вектора прерывания

3.5. Разработка программного обеспечения.

Разработка программного обеспечения включает в себя разработку подпрограммы пуска ЭД, подпрограммы обслуживания прерывания и распределение памяти.

Разработка подпрограммы пуска ЭД.

Блок-схема подпрограммы пуска ЭД, реализующая алгоритм, рассмотренный в п.3.1, представлен на рис. 9.

В начале подпрограммы необходимо разрешить микропроцессору обслуживание прерывания и установить указатель стека на выбранный адрес ОЗУ.

При программировании операции ввода состояния триггера ГТ необходимо предварительно установить соответствие между состоянием триггера (лог. 1 или 0) и состоянием электропривода ("готов или не готов").

В блоке 3 производится анализ состояния того разряда ШД, к которому подключен триггер ГТ.

В регистр ЦАП выводится цифровой эквивалент управляющего напряжения. Поэтому перед программированием этой операции необходимо вычислить по заданному $U_{упр}$ его цифровой аналог (см. ниже).

Задержка времени для разгона ЭД может быть реализована в виде подпрограммы или без нее. Предварительно необходимо по заданному времени задержки произвести соответствующие вычисления (см. ниже).

В блоках 6 и 7 производится ввод цифрового эквивалента напряжения тахогенератора и его сравнение с цифровым эквивалентом управляющего напряжения. При несоответствии производится вывод

в RG ЦАП кода 00 (блок 8), а в триггер СБ - сигнала "Сбой". Вывод в триггер необходимо организовать таким образом; чтобы разряд ШД, к которому подключен триггер, при вводе принял состояние, при котором светодиод должен излучать. Передача лог. 1 или 0 по этому разряду определяется схемой подключения светодиода к триггеру.

Разработка подпрограммы обслуживания прерывания.

Подпрограмма начинает работу при поступлении сигнала "Авария" на вход микропроцессора " Запрос прерывания " (ЗПР). В состав подпрограммы входят три блока, выполняющиеся последовательно друг за другом.

Первый блок осуществляет запрет прерывания и запись в стек содержимого регистров МП.

Второй блок обнуляет регистр ЦАП и выдает сигнал "Сбой".

Третий блок осуществляет вызов из стека содержимого регистров МП, разрешение прерывания и переход на конец подпрограммы пуска.

Расчет цифрового эквивалента.

Расчет сводится к преобразованию заданного управляющего напряжения из десятичной формы в шестнадцатеричную. Причем старший разряд кодирует направление вращения:

0 - прямое вращение, 1 - обратное.

Пусть задано $U_{упр} = + 3.1$ В. Так как в ЦАП цифровой код преобразуется в аналоговую величину с определенной дискретностью

(0.05 В), то первоначально вычисляется количество дискрет для представления аналоговой величины заданного уровня. Для уровня 3.1 В количество дискрет составляет 62_{16} , а двоичный эквивалент 0111110_2 . С учетом направления вращения получим 00111110_2 , в шестнадцатеричной форме $3E_{16}$.

Разработка подпрограммы задержки.

Подпрограмма задержки реализуется путем организации циклического процесса из N циклов. Если известно время выполнения i -той команды t_i , в

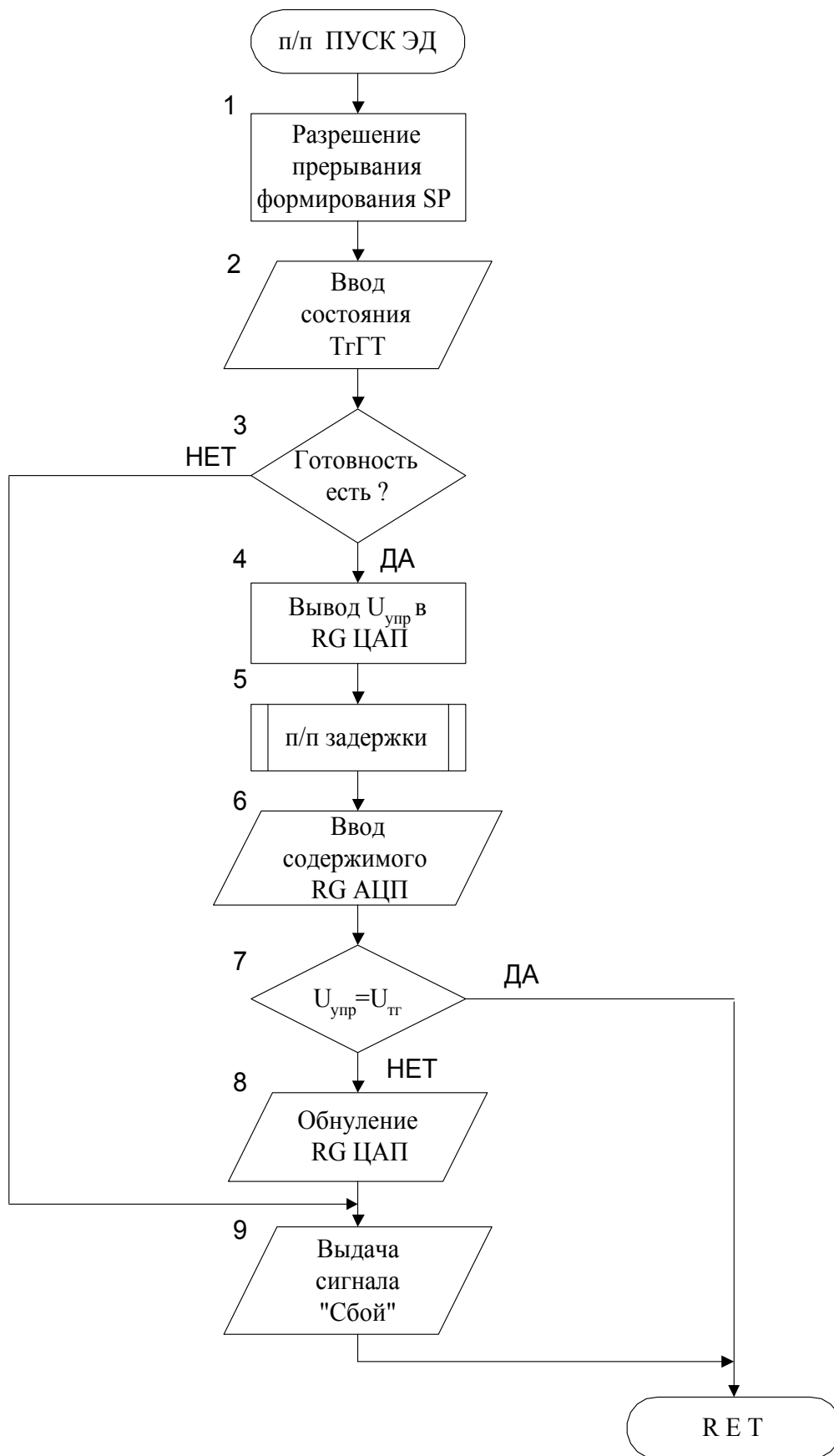


Рис. 9 Блок - схема подпрограммы "Пуск ЭД"

цикле и количество таких команд К в цикле, то время задержки составит:

$$t_{\text{зад}} = N \sum_{i=1}^k t_i$$

Таким образом разработка подпрограммы сводится к выбору типа команд в цикле и определению количества циклов в шестнадцатеричной форме.

Распределение памяти.

Структура памяти МП контроллера оформляется в виде , представленном на рис. 10

В начальных адресах (00 00 - 00 3F) располагаются восемь областей, закрепленных за конкретным вектором прерывания. Например , за нулевым вектором закреплены восемь байтов с адресами 00 00 - 00 07, за первым вектором - следующие восемь и т.д. Поскольку подпрограмма обслуживания прерывания занимает больший объем памяти , чем отведенный под вектор прерывания, то в этих областях размещают только команду безусловного перехода по адресу, с которого размещена подпрограмма обслуживания прерывания.

Стек - это любая область ОЗУ. Однако его целесообразнее располагать начиная с конечной ячейки, т. к. его заполнение происходит в сторону младших адресов.

Подпрограммы пуска и обслуживания прерывания располагаются в тех местах памяти , в каких разработчик считает целесообразным в зависимости от объемов ОЗУ и ПЗУ.

Распределение памяти должно сопровождаться указанием конкретных шестнадцатеричных адресов.

00 00 00 07		ОЗУ
00 08 00 0F	Команда перехода по адресу 04 2A	
00 10 00 3F		
03 FF	Стек	
04 00 04 29	Подпрограмма пуска ЭД	ПЗУ
04 2A 04 51	Подпрограмма обслуживания прерывания	
04 52 07 FF	Резерв	

Рис. 10. Распределение памяти.

4. ОФОРМЛЕНИЕ КОНТРОЛЬНО-КУРСОВОЙ РАБОТЫ.

Объем контрольно-курсовой работы должен составлять 20-25 страниц формата А4 . Очередность разделов следующая:

- титульный лист;
- бланк задания;
- введение;
- разработка блока ЦП;
- разработка блока ЗУ;
- разработка интерфейсного модуля;
- разработка программного обеспечения;
- заключение ;
- библиографический список.

Во введении должны быть кратко описаны возможности микропроцессорной техники и ее роль в развитии современного станкостроения.

В разделе разработки блока ЦП необходимо описать его функционирование применительно к типу используемых микросхем.

В разделе разработки блока ЗУ необходимо привести расчет требуемого количества страниц памяти, таблицу адресного пространства ЗУ, схему адресного дешифратора и описание функционирования всего блока ЗУ.

В разделе проектирования интерфейсного модуля проводится разработка адресного дешифратора, регистра вектора прерывания и описание функционирования всего модуля с применением заданных микросхем.

В разделе программного обеспечения приводится расчет цифрового эквивалента, расчеты по подпрограмме задержки, описание подпрограмм пуска, обслуживания прерывания, распределение памяти.

В заключении дается краткая характеристика разработанного МП контроллера и области его применения. Графическая часть проекта содержит следующие материалы :

- "Процессорный модуль" формата А1;
- "Интерфейсный модуль" формата А2;
- "Программное обеспечение" формата А2 .

На первом листе представляются принципиальные электрические схемы блоков ЦП и ЗУ, а на втором - интерфейсного модуля.

В состав материалов программного обеспечения выносимых на лист, входят подпрограммы пуска и обслуживания прерывания. Они представляются в виде таблиц, принятых для программ на языке Ассемблера.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК.

Основная литература.

1. Музылева, И. В. Элементная база для построения цифровых систем управления: учеб. пособие для вузов / И.В. Музылева. – М.: Техносфера, 2006. – 144с. : ил. – (Мир электроники). – Библиогр. в конце кн. – ISBN 5-94836-099-7: 116,97. 4 экз.
2. Токарев, В.Л. Микропроцессорные системы: учеб. пособие / В.Л. Токарев; ТулГУ. – Тула: Изд-во ТулГУ, 2008. – 464 с. : ил. – Библиогр. в конце кн. – ISBN 978-5-7679-1373-2: 208,00. 44 экз.
3. Новиков, Ю.В. Основы микропроцессорной техники: учебное пособие / Ю.В. Новиков, П.К. Скоробогатов. – 3-е изд., испр. – М.: Интернет – Университет Информационных Технологий: Бином, 2006. – 359с.: ил. – (Основы информационных технологий). – Библиогр. в конце кн. – ISBN 5-9556-0054-X (ИНТУИТ) /в пер./ : 250.00. – ISBN 5-94774-424-4 (БИНОМ ЛЗ). 3 экз.
4. Благовещенская М. М. Информационные технологии систем управления технологическими процессами: Учебник для вузов /М.М. Благовещенская, Л.А. Злобин. – М.: Высш. шк., 2005. –768 с.: ил. 10 экз.

Дополнительная литература.

1. Белов, А.В. Самоучитель по микропроцессорной технике / А.В.Белов. — 2-е изд., перераб. и доп. – СПб. : Наука и Техника, 2007. – 256с.: ил. – (Радиолюбитель). – Библиогр. в конце кн. – ISBN 978-5-94387-190-0: 101.15. 4 экз.
2. Ровдо А.А. Микропроцессоры от 8086 до Pntium III Xeon и AMD-K6-7. Регистры, команды, ассемблер. – М.: ДМК. 2000. –592 с. 3 экз.
3. Локтюхин В.Н. Микропроцессоры и ЭВМ: Учебное пособие для вузов. –М.: Энергоатомиздат. –Кн. 1. Микропроцессорные системы. Проектирование аппаратных и программных средств. –2000. –100 с. 1 экз.
4. Корнеев В.В., Киселев А.В. Современные микропроцессоры. –М.: «Нолидж», 2000. –320 с. 2 экз.
5. Шевкопляс Б.В. Микропроцессорные структуры. – Инженерные решения: Справочник. –2-е изд., перераб. и доп. –М.: Радио и связь, 1990. –512 с. 39 экз.
6. Сташин В.В. Проектирование цифровых устройств на однокристальных микроконтроллерах. – М.: Энергоатомиздат, 1990. –224 с. 10 экз.
7. Микропроцессоры и микропроцессорные комплекты интегральных микросхем: Справочник. В 2т. /Т.1. В.Б. Абрайтис и др.; Под ред. В.А. Шахнова. – М.: Радио и связь, 1988. –368 с. 18 экз.
8. Щелкунов Н.Н. Микропроцессорные средства и системы. – М.: Радио и связь, 1989. –285 с. 4 экз.

Интернет-ресурсы.

1. Электронный читальный зал «БИБЛИОТЕХ»: учебники авторов ТулГУ по всем дисциплинам. – Режим доступа: <https://tsutula.bibliotech.ru/>, по паролю. – Загл. с экрана.
2. ЭБС IPRBooks универсальная базовая коллекция изданий. – Режим доступа: <http://www.iprbookshop.ru>, по паролю. – Загл. с экрана.
3. ЭБС Biblio-online.ru (ЭБС Издательства «Юрайт»). – Режим доступа: <http://biblio-online.ru>, по паролю.
4. Научная Электронная Библиотека eLibrary – библиотека электронной периодики. Режим доступа: <http://elibrary.ru/>, по паролю. – Загл. с экрана.

5. НЭБ КиберЛенинка научная электронная библиотека открытого доступа. Режим доступа: <http://cyberleninka.ru>, – Загл. с экрана.
6. Единое окно доступа к образовательным ресурсам: портал [электронный ресурс]. – Режим доступа: <http://window.edu.ru>. – Загл. с экрана.
7. КонсультантПлюс: справочная правовая система / Компания «Консультант Плюс». – Версия Проф., сетевая. – Режим доступа: Компьютерная сеть НБ ТулГУ, свободный. – Загл. с экрана.
8. Электронный сайт кафедры Электротехника и электрооборудование ТулГУ [электронный ресурс]. – Режим доступа: <http://eeo.tula.ru>.

МИКРОПРОЦЕССОР КР 580 ВМ 80 А

10 —	Д0	CPU	A0	— 25	A0 - A15	Трехстабильная 16 - разрядная шина адреса .
9 —	Д1		A1	— 26	Д0 - Д7	Двунаправленная трехстабильная шина данных .
8 —	Д2		A2	— 27	ВД	Сигнал "Выдача" .
7 —	Д3		A3	— 29	ПМ	Сигнал "Прием" .
3 —	Д4		A4	— 30	С1,С2	Входы сигналов синхронизации .
4 —	Д5		A5	— 31	ЗПР	Запрос на прерывание .
5 —	Д6		A6	— 32	РПР	Разрешение прерывание .
6 —	Д7		A7	— 33	ЗХ	Запрос на захват шин .
			A8	— 34	ПЗХ	Подтверждение захвата шин .
			A9	— 35	ГТ	Вход сигнала "Готовность" .
			A10	— 1	ОЖ	Выход сигнала "Ожидание" .
			A11	— 40	СБР	Вход сигнала "Сброс" .
			A12	— 37	С	Выход сигнала "Синхронизация" .
			A13	— 38		
			A14	— 39		
			A15	— 36		
22 —	С1		ПР	— 17		Ток источника питания (+5В)
15 —	С2		ВД	○ — 18		70 mA
13 —	ЗХ		ОЖ	— 24		
12 —	СБР		ПЗХ	— 21		
14 —	ЗПР		С	— 19		
23 —	ГТ		РПР	— 16		

Системный генератор КР 580 ГФ 24

14 —	X1	G	С1	— 11	X1 - X2	Подключение кварцевого резонатора .
15 —	X2		С2	— 10	СБР	Входной сигнал "Сброс" .
			ОСЛ	— 12	ГТ	Входной сигнал "Готовность" .
2 —	○ СБР		СБ	— 1	С	Вход синхронизации .
3 —	ГТ		Г	— 4	С1,С2	Выходы тактовых импульсов .
5 —	С		С2Т	— 6	С2Т	Выходы сигнала С2 в стандарте ТТЛ .
			СС	○ — 7	СБ	Выходной сигнал "Сброс" .
					Г	Выходной сигнал "Готовность" .
					СС	Строб слова - состояния .
					ОСЛ	Выход генератора, используемый для тактирования внешних устройств .
						Ток источника питания (+5В)
						115 mA .

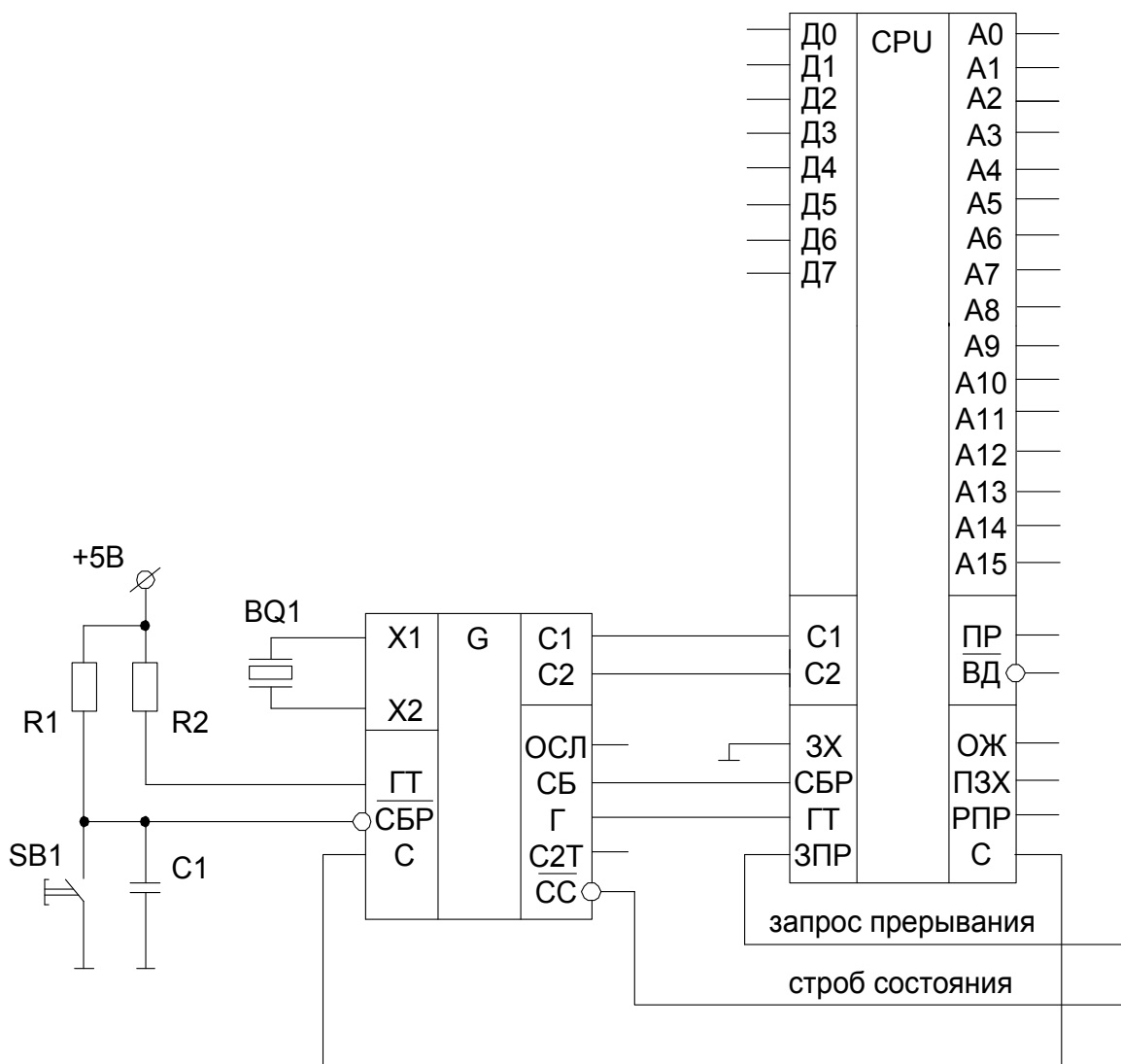


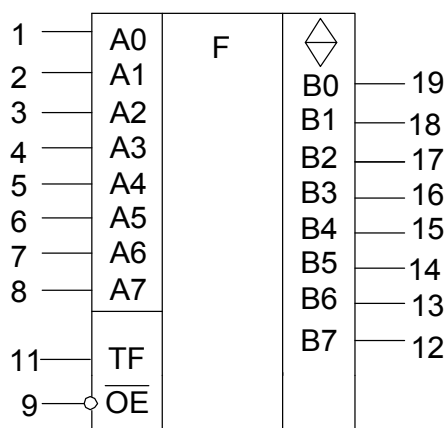
Схема подключения системного генератора
к центральному процессору

Системный контроллер КР 580 ВК 28

15 —	Д0	SC	DB0	13	Д0 - Д7	Шина данных со стороны МП .
17 —	Д1		DB1	16	DB0 - DB7	Буферизованная шина данных .
12 —	Д2		DB2	11	ВД	Сигнал "Выдача" .
10 —	Д3		DB3	9	ПМ	Сигнал "Прием" .
6 —	Д4		DB4	5	ПЗХ	Подтверждение захвата шин .
19 —	Д5		DB5	18	СС	Стробирование слова - состояния .
21 —	Д6		DB6	20	РРШ	Разрешение работы шин .
8 —	Д7		DB7	7	ЧтП	Чтение памяти .
3 —	ВД		ЧТП	24	3пП	Запись в память .
4 —	ПМ		3ПП	25	ЧтВВ	Чтение порта ввода - вывода .
1 —	ПЗХ		ЧТВВ	27	3пВВ	Запись в порт ввода - вывода .
2 —	СС		3пВВ	26	ЧтКП	Чтение контроллера прерываний .
22 —	РРШ		ЧтКП	23		

Ток источника питания (+5В)
190 mA

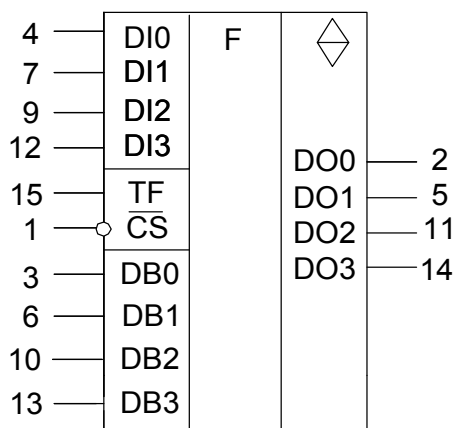
Формирователь КР 580 ВА86



T F	$\overline{O} \overline{E}$	Операция
X	1	Z
1	0	$A \Rightarrow B$
0	0	$B \Rightarrow A$

A0-A7, B0-B7 - шины данных
A - переключение каналов
 $\overline{OE}$ - переход выхода в состояние Z
 $I_{\text{потр.}} = 90 \text{ mA}$

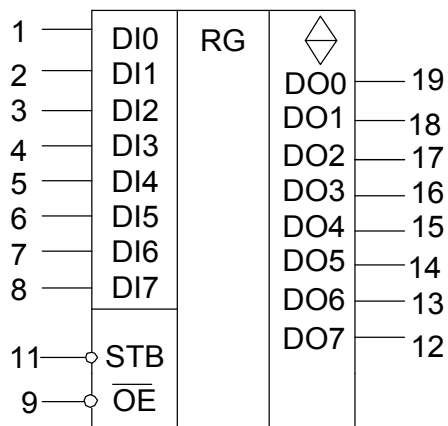
Формирователь КР 589 АП16



T F	$\overline{C} \overline{S}$	Операция
X	1	Z
0	0	$DI \Rightarrow DB$
1	0	$DB \Rightarrow DO$

DI, DO, DB - шины данных
A - переключение каналов
 $\overline{CS}$ - переход выхода в состояние Z
 $I_{\text{потр.}} = 130 \text{ mA}$

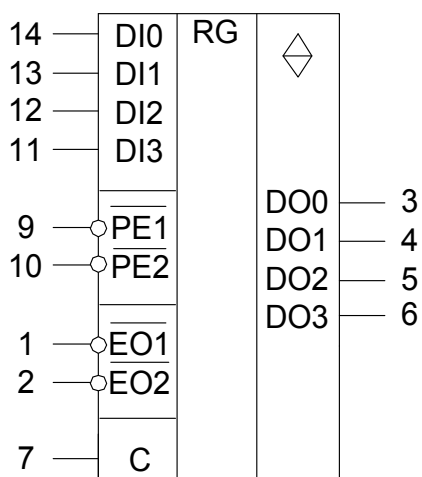
Формирователь КР 580 ИР82



STB	O E	Режим
1	0	$DI \Rightarrow DB$
0	0	хранение
X	1	Z

DI, DO - шины данных
STB - стробирование записи ($\overline{L}$)
OE - переход выхода в состояние Z
 $I_{\text{потр.}} = 80 \text{ mA}$

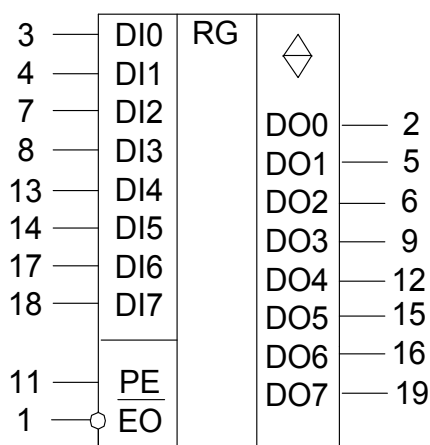
Регистр КР 555 ИР 15



C	$\overline{PE1}$	$\overline{PE2}$	$\overline{EO1}$	$\overline{EO2}$	DI _n	DO _n	Режим
X	X	X	X	X	X	0	Сброс
$\overline{\text{L}}$	0	0	0	0	0/1	0/1	Запись и вывод
X	1/X	X/1	0	0	X	DO _n	Хранение
X	X	X	1/X	X/1	X	Z	Разрыв выходов

DI, DO - шины данных
C - вход синхронизации
 $\overline{PE1}$, $\overline{PE2}$ - разрешение записи
 $\overline{EO1}$, $\overline{EO2}$ - управление Z - состоянием
 $I_{\text{потр}}$ - 72 мА

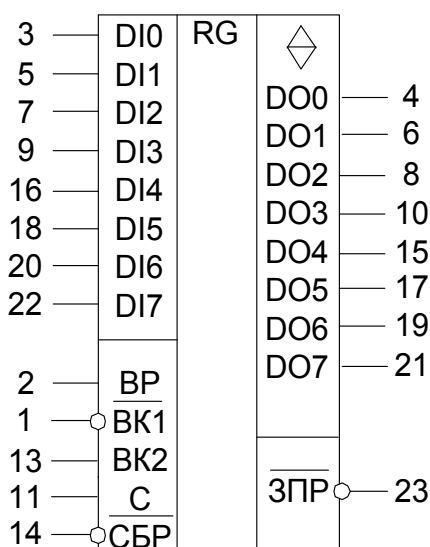
Регистр КР 555 ИР 22



$\overline{OE}$	PE	DI	DO	Режим
0	1	1/0	1/0	Считывание из регистра
0	$\overline{\text{L}}$	1/0	1/0	Запись в регистр
1	0	1/0	Z	Разрыв выходов

DI, DO - шины данных
C - вход синхронизации
PE - вход разрешения записи
 $\overline{OE}$ - вход отключения выходов
 $I_{\text{потр}}$ - 40 мА

Регистр КР 589 ИР 12

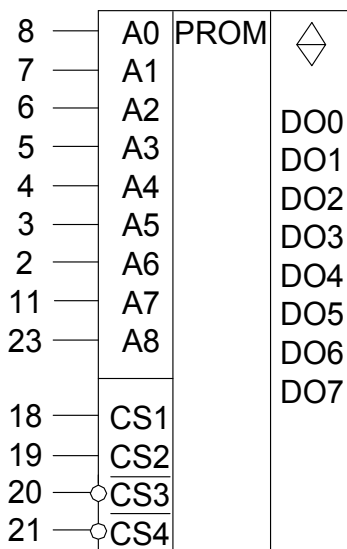


BP	C	BK1, 2	Режим
0	$\overline{\text{L}}$	X	Запись при закрытом выходе
1	X	$\overline{\text{L}}$	Запись при закрытом выходе
0	X	$\overline{\text{L}}$	Чтение при закрытом входе
$\overline{\text{L}}$	X	X	Чтение при закрытом входе

DI, DO - шины данных
BP - выбор режима
C - стробирующий вход
BK1, BK2 - входы выбора микросхемы
 $\overline{СБР}$ - сброс
ЗПР - запрос прерывания

$I_{\text{потр}}$ - 130 мА

ППЗУ КР 556 РТ 5 (512 x 8)



CS1	CS2	CS3	CS4	A0-A8	D0-D7	Режим
M				X	Z	Хранение
1	1	0	0	A	1/0	Считывание

M - любая комбинация, кроме 1100

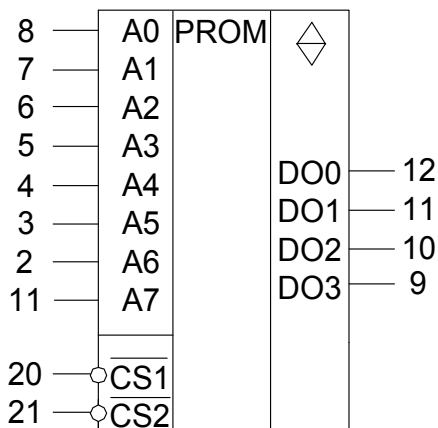
A - адресная шина

DO - шина данных

CS1, CS2, CS3, CS4 - управление режимом

Потребляемая мощность 1000 мВт

ППЗУ КР 556 РТ 4А (256 x 4)



CS1	CS2	A0-A7	D0-D3	Режим
M		X	Z	Хранение
0	0	A	1/0	Считывание

M - любая комбинация, кроме 00

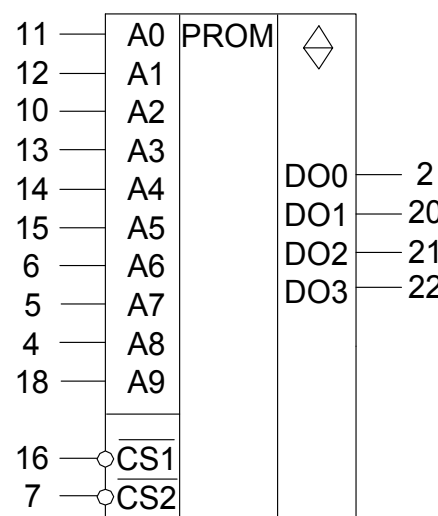
A - адресная шина

DO - шина данных

CS1, CS2 - управление режимом

Потребляемая мощность 690 мВт

ППЗУ КР 556 РТ 12 (1024 x 4)



CS1	CS2	A0-A9	D0-D3	Режим
M		X	Z	Хранение
0	0	A	1/0	Считывание

M - любая комбинация, кроме 00

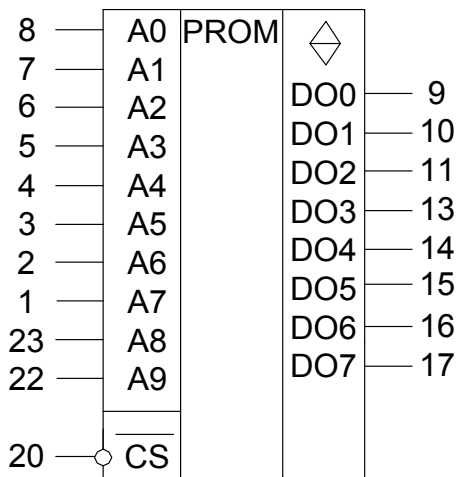
A - адресная шина

DO - шина данных

CS1, CS2 - управление режимом

Потребляемая мощность 740 мВт

РеПЗУ К 573 РФ 1 (1024 x 8)

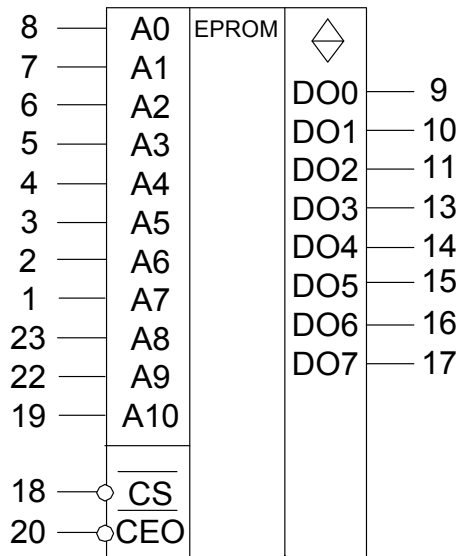


$\overline{CS}$	A0-A9	DO0-DO7	Режим
1	X	Z	Хранение
0	A	1/0	Считывание

A - адресная шина
 $\overline{DO}$ - шина данных
 $\overline{CS}$ - управление режимом

Потребляемая мощность 1100 мВт

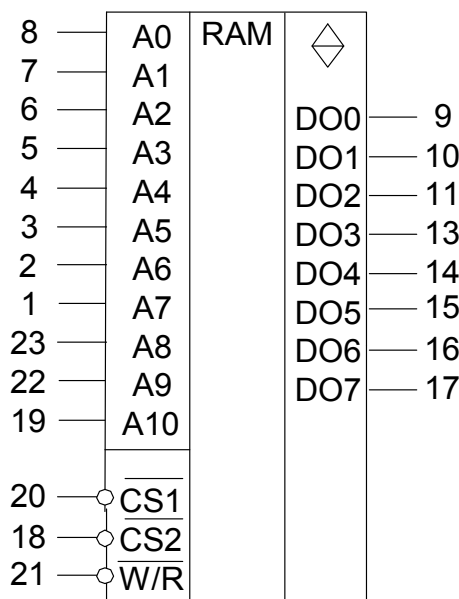
РеПЗУ К 573 РФ 1 (2048 x 8)



$\overline{CS}$	$\overline{CEO}$	A0-A10	DO0-DO7	Режим
1	X	X	Z	Хранение
0	0	A	1/0	Считывание

A - адресная шина
 $\overline{DO}$ - шина данных
 $\overline{CS}$ - управление режимом
 $\overline{CEO}$ - управлением Z - состоянием

ОЗУ КР 537 РУ 2 (2048 x 8)

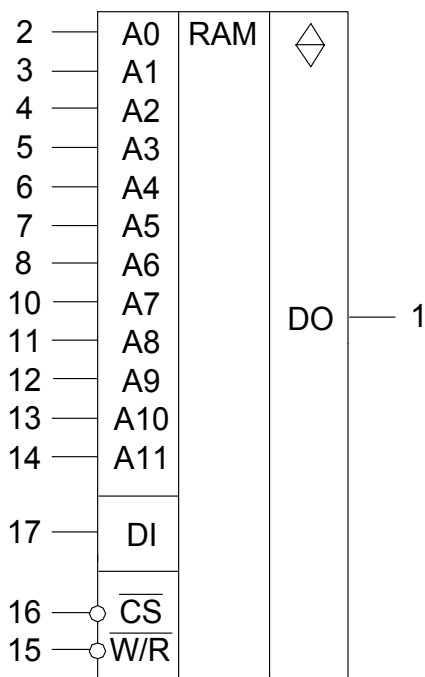


$\overline{CS1}$	$\overline{CS2}$	$\overline{W/R}$	A0-A10	DO0-DO7	Режим
M		X	X	Z	Хранение
0	0	0	Адрес	1/0	Запись
0	0	1	Адрес	1/0	Чтение

A - адресная шина
 $\overline{DO}$ - шина данных
 $\overline{CS}$ - выбор микросхемы
 $\overline{W/R}$ - сигнал запись / чтение

Потребляемая мощность - 160 мВт

ОЗУ КР 41 РУ 1А (4096 x 1)



$\overline{CS}$	$\overline{W/R}$	A0-A11	DI	DO	Режим
1	X	X	X	Z	Хранение
0	0	Адрес	0/1	Z	Запись
0	1	Адрес	X	1/0	Чтение

A0 - A11 - адресные входы

DI - вход данных

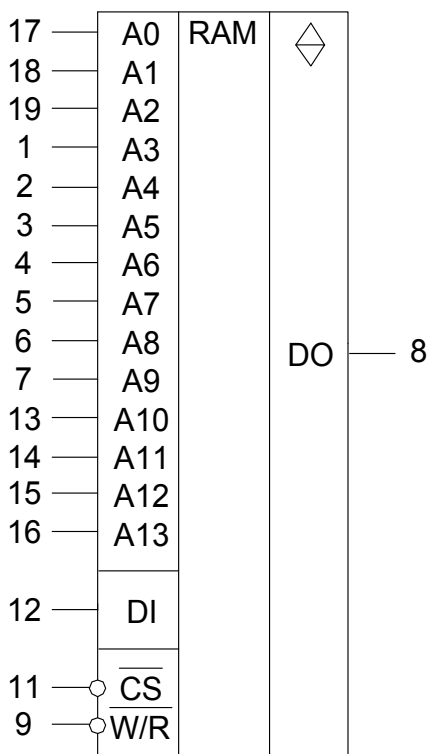
DO - выход данных

$\overline{CS}$ - выбор микросхемы

$\overline{W/R}$ - сигнал запись / чтение

Потребляемая мощность - 500 мВт

ОЗУ КР 132 РУ 6А (16384 x 1)



$\overline{CS}$	$\overline{W/R}$	A0-A13	DI	DO	Режим
1	X	X	X	Z	Хранение
0	0	Адрес	0/1	Z	Запись
0	1	Адрес	X	1/0	Чтение

A0 - A13 - адресные входы

DI - вход данных

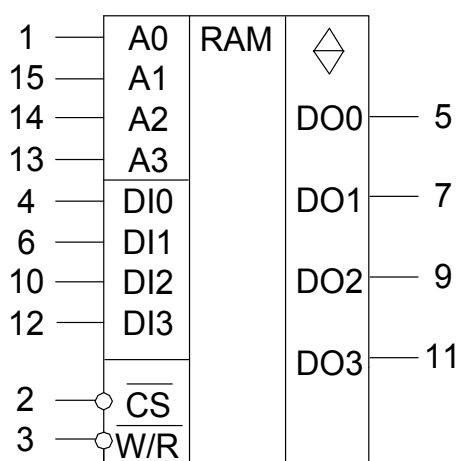
DO - выход данных

$\overline{CS}$ - выбор микросхемы

$\overline{W/R}$ - сигнал запись / чтение

Потребляемая мощность - 440 мВт

ОЗУ К 531 РУ 8 (16 x 4)



$\overline{CS}$	$\overline{W/R}$	A0-A3	DI0-DI3	DO0-DO3	Режим
1	X	X	X	Z	Хранение
0	0	Адрес	0/1	Z	Запись
0	1	Адрес	X	1/0	Чтение

A0 - A3 - адресные входы

DI - входы данных

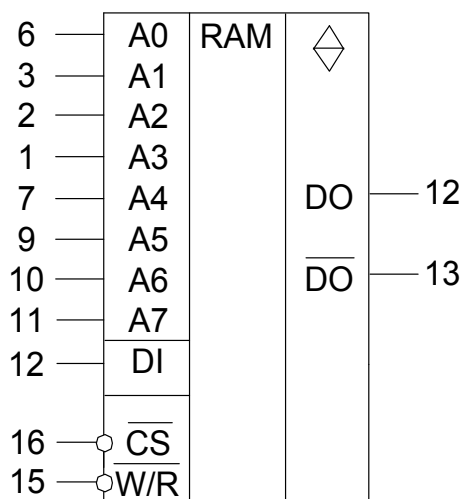
DO - выходы данных

$\overline{CS}$ - выбор микросхемы

W/R - сигнал запись / чтение

Потребляемая мощность - 580 мВт

ОЗУ К 176 РУ 2 (256 x 1)



$\overline{CS}$	$\overline{W/R}$	A0-A7	DI	DO	Режим
1	X	X	X	Z	Хранение
0	1	Адрес	1/0	Z	Запись
0	0	Адрес	X	1/0	Чтение

A0 - A7 - адресные входы

DI - вход данных

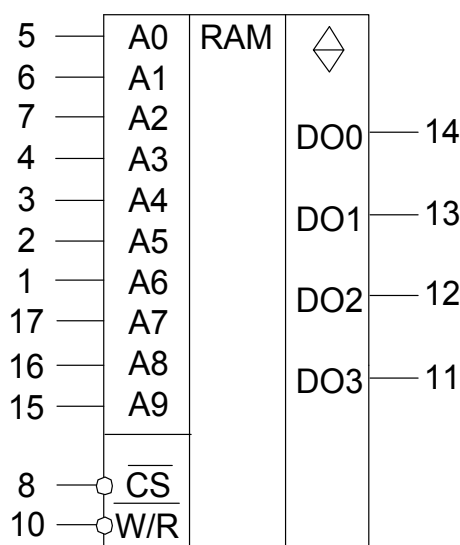
DO - выходы данных

$\overline{CS}$ - выбор микросхемы

W/R - сигнал запись / чтение

Потребляемая мощность - 19 мВт

ОЗУ КР 541 РУ 2 (1024 x 4)



$\overline{CS}$	$\overline{W/R}$	A0-A9	DO0-DO3	Режим
1	X	X	Z	Хранение
0	1	Адрес	0/1	Запись
0	0	Адрес	1/0	Чтение

A0 - A9 - адресные входы

DO0 - DO3 - вход / выход данных

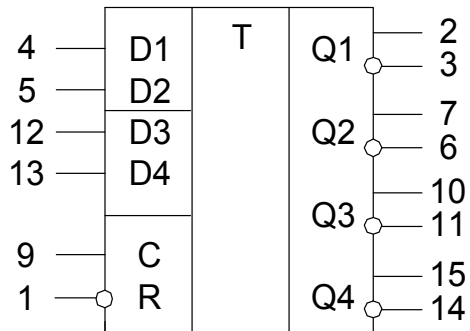
$\overline{CS}$ - выбор микросхемы

W/R - сигнал запись / чтение

Потребляемая мощность - 525 мВт

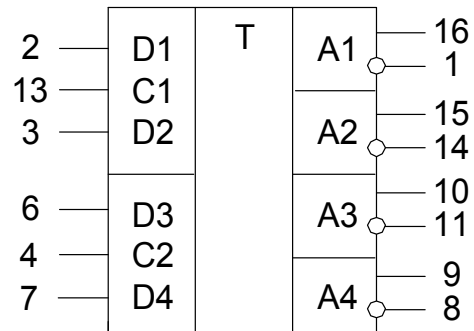
ТРИГГЕРЫ

K155TM8



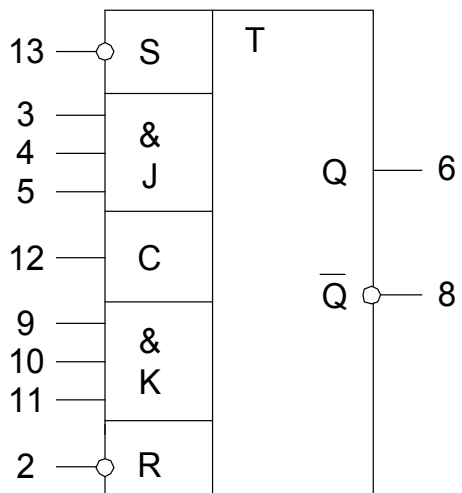
$I_{\text{потр.}} = 45 \text{ мА}$

K155TM7



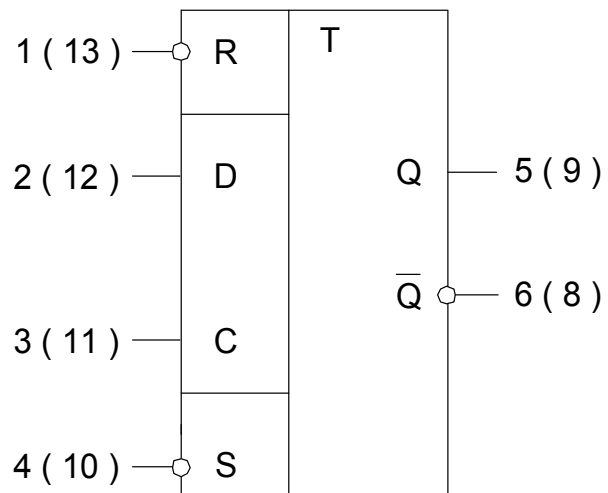
$I_{\text{потр.}} = 40 \text{ мА}$

K155TB1



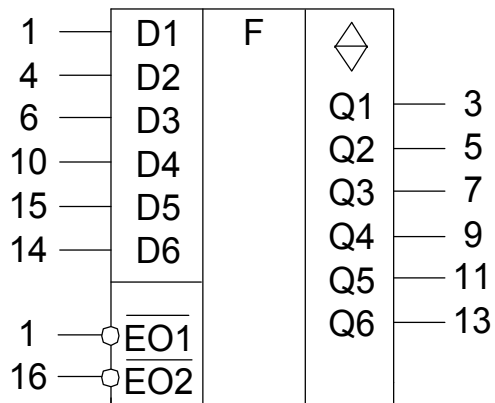
$I_{\text{потр.}} = 20 \text{ мА}$

K155TM2



$I_{\text{потр.}} = 40 \text{ мА}$

Формирователь K155ЛП10

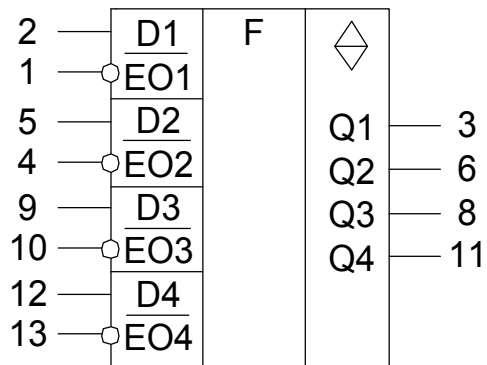


D, Q - входы и выходы информации

$\overline{EO1}$, $\overline{EO2}$ - входы разрешения выдачи информации

Потребляемый ток 77 мА

Формирователь K155ЛП8

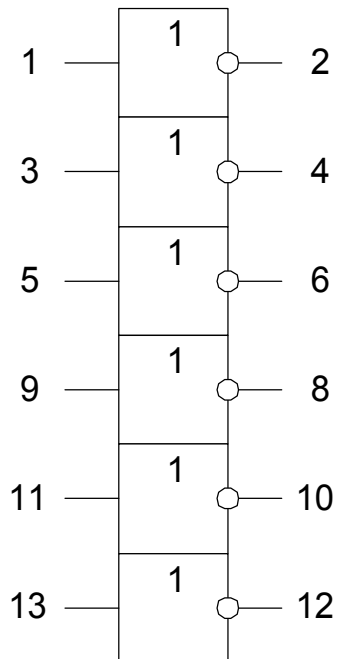


D, Q - входы и выходы информации

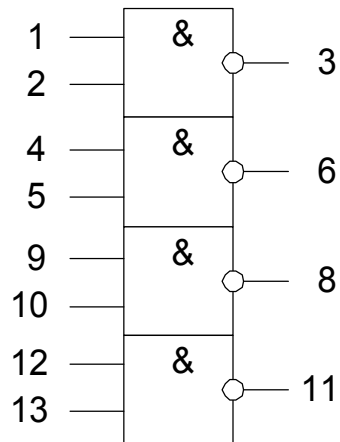
$\overline{EO}$ - входы разрешения выдачи информации

ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

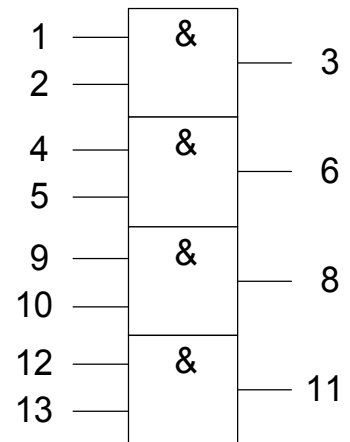
К155ЛН1



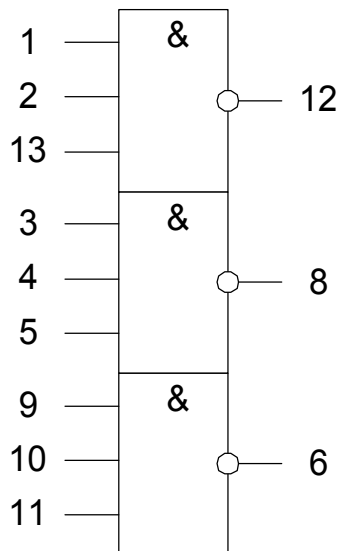
К155ЛА3



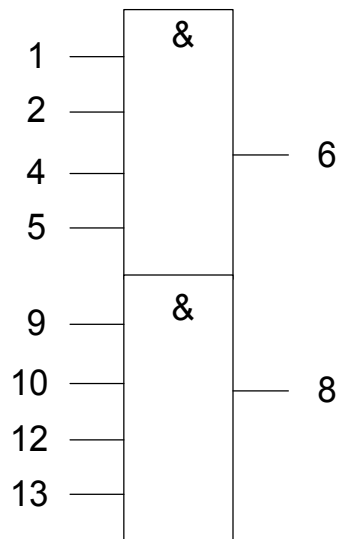
К155ЛИ1



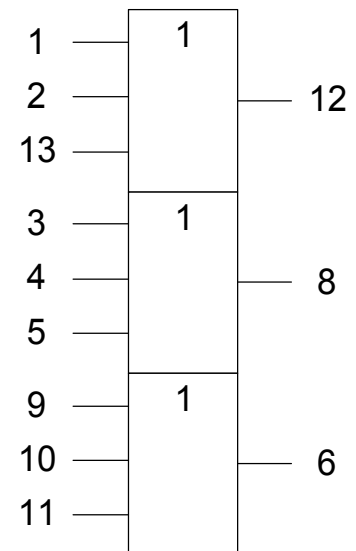
К155ЛА4



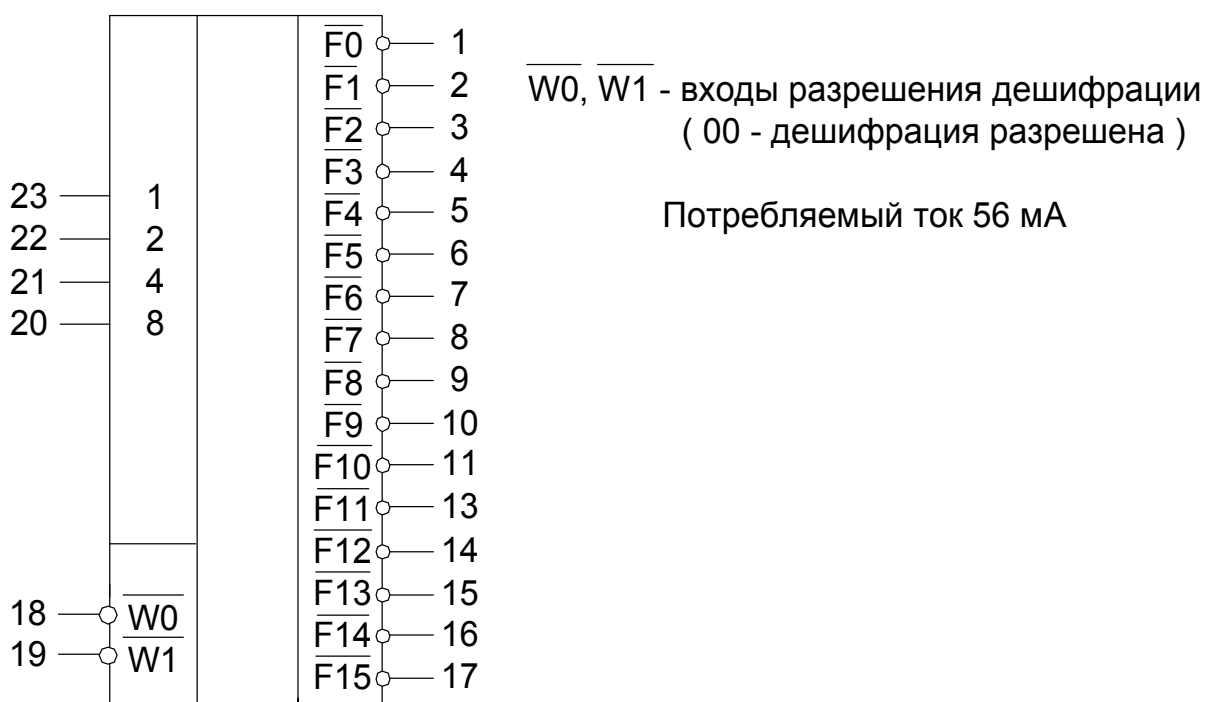
К555ЛИ6



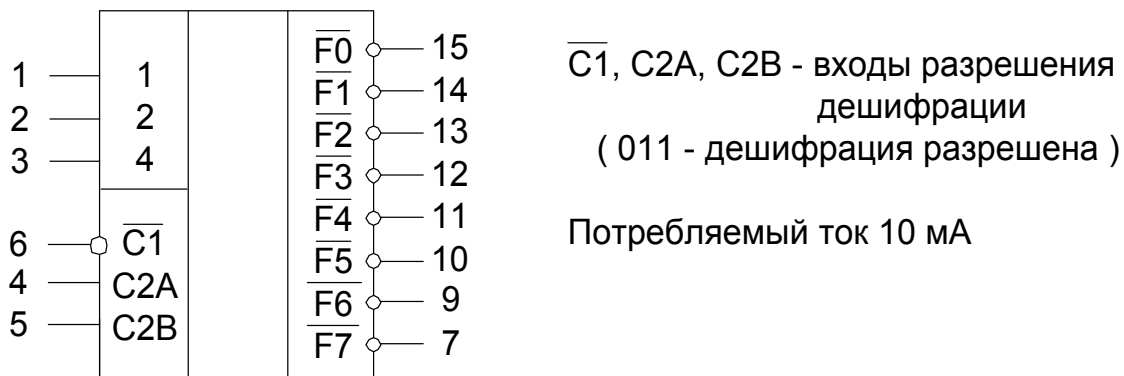
К555ЛЕ4



Дешифратор К 155 ИД3



Дешифратор К 55 ИД7



Дешифратор К 155 ИД4

